

AI 046

S-DIAS Analog Eingangsmodul

Herausgeber: SIGMATEK GmbH & Co KG
A-5112 Lamprechtshausen
Tel.: +43/6274/4321
Fax: +43/6274/4321-18
Email: office@sigmatek.at
WWW.SIGMATEK-AUTOMATION.COM

Copyright © 2017
SIGMATEK GmbH & Co KG

Originalsprache

Alle Rechte vorbehalten. Kein Teil des Werkes darf in irgendeiner Form (Druck, Fotokopie, Mikrofilm oder in einem anderen Verfahren) ohne ausdrückliche Genehmigung reproduziert oder unter Verwendung elektronischer Systeme verarbeitet, vervielfältigt oder verbreitet werden.

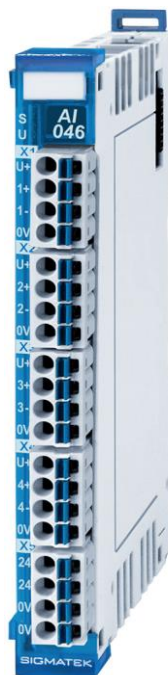
Inhaltliche Änderungen behalten wir uns ohne Ankündigung vor. Die SIGMATEK GmbH & Co KG haftet nicht für technische oder drucktechnische Fehler in diesem Handbuch und übernimmt keine Haftung für Schäden, die auf die Nutzung dieses Handbuches zurückzuführen sind.

S-DIAS Analog Eingangsmodul

AI 046

mit 4 Analogeingängen $\pm 11\text{ V}$ oder $\pm 1,1\text{ V}$

Das S-DIAS Analog-Eingangsmodul AI 046 besitzt vier analoge Eingänge mit zwei einstellbaren Messbereichen mit $\pm 11\text{ V}$ bzw. $\pm 1,1\text{ V}$ mit 18-Bit-Auflösung. Die Spannungsversorgung für die Analogeingänge wird auf Unterspannung überwacht. Die Analogeingänge sind vom S-DIAS-Bus galvanisch getrennt.



Inhaltsverzeichnis

1	Technische Daten	4
1.1	Spezifikation analoge Eingänge.....	4
1.2	Messmodi	5
1.3	Messgenauigkeit.....	7
1.4	Elektrische Anforderungen.....	8
1.5	Spannungsüberwachung externe +24 V-Versorgung.....	10
1.6	Sonstiges.....	10
1.7	Umgebungsbedingungen	10
2	Mechanische Abmessungen.....	11
3	Anschlussbelegung.....	12
3.1	Status-LEDs.....	13
3.2	Zu verwendende Steckverbinder	14
3.3	Beschriftungsfeld	15
4	Verdrahtung	16
4.1	Anschlussbeispiel	16
4.2	Hinweise	17
5	Montage.....	18
6	Konfiguration	20
6.1	FPGA Oversampling.....	21
6.2	ADC Oversampling	21

7	Adressierung	22
8	Hardwareklasse AI046	27
8.1	Allgemein	28
8.2	Analoge Eingänge [1-4]	29
8.3	Kabelbrucherkennung	31
8.4	Kommunikations-Schnittstellen	31
8.5	Globale Methoden	32
8.5.1	GetData	32
8.6	Interne Eigenheiten	33
8.6.1	Beispiel: Überschreiten der maximalen Speichergröße	33
8.6.2	Beispiel: Überschreiten des Verfügbaren Lesespeichers des SDIAS- Managers	34

1 Technische Daten

1.1 Spezifikation analoge Eingänge

Anzahl der Kanäle	4	
Messbereich ⁽¹⁾	-11 ... +11 V	-1,1 ... +1,1 V
Verstärkung	1	10
Messwert	-110.000 ... +110.000 (Modus: 18-bit signed Wertebereich) -27.500 ... +27.500 (Modus: 16-bit signed Wertebereich)	
Galvanische Trennung	500 V (maximale Isolationsspannung)	
Eingangsart	Differenzeingang	
A/D-Wandler	18 Bit SAR mit Simultanabtastung	
Auflösung Messbereiche	18 Bit	
	ca. 84 μ V/LSB	ca. 8,4 μ V/LSB
Abtastrate pro Kanal	$\geq 10 \mu$ s (minimale S-DIAS-Zykluszeit: 100 μ s)	
Datenspeichertiefe pro Kanal	512 Dword (32 Bit) 1024 Word (16 Bit)	
Berechnungsgrundlage Anzahl an Werten pro Kanal (n)	n = S-DIAS-Zykluszeit / Abtastrate	
Gleichtaktbereich	± 12 V	± 6 V
Eingangswiderstand	typisch 5 M Ω	
Kabelbruchüberwachung	ja (10 M Ω zwischen AI+ und +12 V, 10 M Ω zwischen AI- und -12 V)	
Eingangsfilter Hardware ⁽²⁾	10 kHz, Tiefpass 3. Ordnung (Gegentakt) 100 kHz, Tiefpass 1. Ordnung (Gleichtakt)	
Eingangsfilter Software ⁽³⁾	konfigurierbar	
Maximal zulässige Eingangsspannung	± 30 V	
Messgenauigkeit gesamt	$\pm 0,030$ % (20-40 °C)	$\pm 0,045$ % (20-40 °C)
Messmethode: Modus 2, Abtastrate 50 μ s	$\pm 0,045$ % (0-55 °C)	$\pm 0,060$ % (0-55 °C)
Statusanzeige	LED grün	

⁽¹⁾ Wird ein Messbereich über- oder unterschritten, wird dies über ein entsprechendes Statusbit dargestellt.

- ⁽²⁾ Die Filterparameter (Frequenz und Ordnung) für Gegentakt sind abhängig von der Abtastrate im Modus 2. Eine Übersicht findet sich in der Tabelle unten. Die Frequenzgänge sind in den Diagrammen unten dargestellt.
- ⁽³⁾ Es handelt sich hier um einen IIR Filter 1. Ordnung der in seiner Frequenz einstellbar bzw. auch deaktivierbar ist. **Achtung!** Der SW-Filter ersetzt nicht den HW-Filter! Der SW-Filter funktioniert nur korrekt, wenn das Nyquist-Shannon-Theorem eingehalten wird.

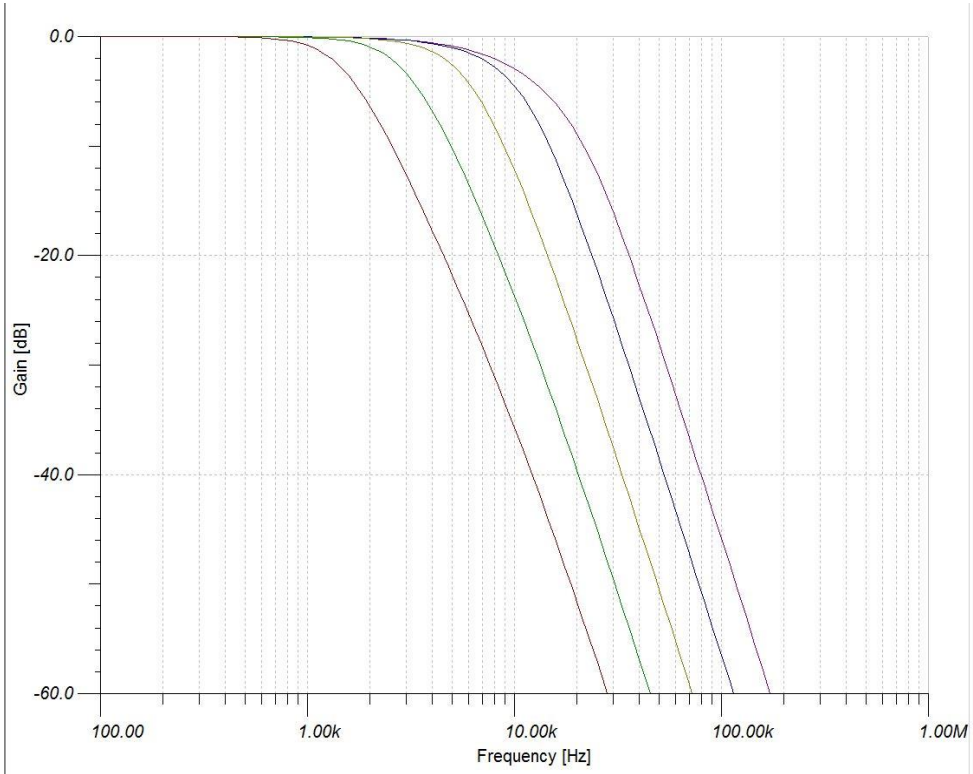
1.2 Messmodi

Abtastrate (μs)	Modus 1 ¹⁾	Modus 2 ²⁾
	Hardware-Grenzfrequenz in kHz	Hardware-Grenzfrequenz in kHz
10	10	10
20	10	10
25	10	10
50	10	8
100	10	5
200	10	3
250	10	3
500	10	1,5
1000	10	1,5

¹⁾ mit Oversampling im FPGA

²⁾ mit Oversampling im ADC (das integrierte HW-Filter im ADC ändert sich je nach eingestellter Abtastrate)

Typische Frequenzgänge für die Grenzfrequenzen 1,5 kHz (braun), 3 kHz (grün), 5 kHz (gelb), 8 kHz (schwarz) und 10 kHz (lila).



1.3 Messgenauigkeit

Messbereich	-11 ... +11 V	-1,1 ... +1,1 V
Grundgenauigkeit inkl. Abgleichfehler und Rauschen Modus 2, Abtastrate 50 μ s 25 °C	0,010 %	0,017 %
Temperaturgang 20-40 °C 0-55 °C	0,006 % 0,020 %	0,008 % 0,025 %
Linearität	0,003 %	0,005 %
Übersprechen	0,003 %	0,003 %
Symmetrie	0,009 %	0,010 %
Gesamtfehler 20-40 °C 0-55 °C	$\pm 0,030$ % ($\pm 3,3$ mV) $\pm 0,045$ % ($\pm 5,0$ mV)	$\pm 0,045$ % ($\pm 0,50$ mV) $\pm 0,060$ % ($\pm 0,66$ mV)

Toleranzen, die durch Alterung hervorgerufen werden, sind nicht berücksichtigt. Eine Kalibrierung nach spätestens 12 Monaten ist notwendig.

1.4 Elektrische Anforderungen

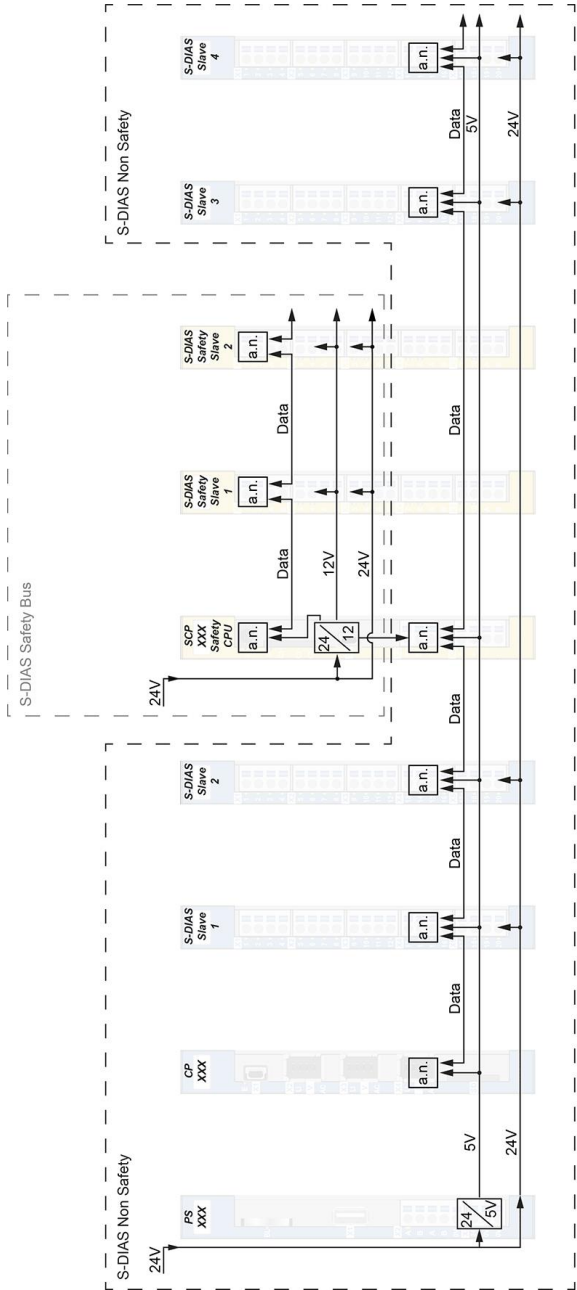
Externe Versorgung X5	18-30 V DC	
Stromaufnahme X5 ¹⁾	maximal 650 mA (maximal 500 mA für alle Sensorversorgungen) typisch 60 mA (Elektronik)	
Versorgung vom S-DIAS-Bus	+5 V	
Stromaufnahme am S-DIAS-Bus (+5 V-Versorgung)	0	0
Versorgung vom S-DIAS-Bus	+24 V	
Stromaufnahme am S-DIAS-Bus (+24 V-Versorgung)	typisch 30 mA	maximal 35 mA

¹⁾ Die abgehenden Sensorversorgungen für X1, X2, X3 und X4 werden über die Versorgungseinspeisung X5 gespeist. Es erfolgt eine gemeinsame Absicherung der Sensorversorgungen mittels PTC Absicherung für maximal 500 mA.

Wird dieses S-DIAS Modul an einem S-DIAS Versorgungsmodul mit mehreren S-DIAS Modulen eingesetzt, müssen die Summenströme der verwendeten S-DIAS Module ermittelt und überprüft werden.

**Der Summenstrom der +24 V-Versorgung darf 1,6 A nicht überschreiten!
Der Summenstrom der +5 V-Versorgung darf 1,6 A nicht überschreiten!**

Die Angabe der Stromaufnahme findet man in der modulspezifischen technischen Dokumentation unter „Elektrische Anforderungen“.



a.n. = active node
 Beschriftung S-DIAS Safety im S-DIAS System

- Jedes S-DIAS Modul ist ein aktives Modul (active node)
- Safety-CPU ist am S-DIAS-Bus angeschlossen (inkl. +5 V-Versorgung)
- Safety-Bus ist eigenständig und vom S-DIAS-Bus getrennt

1.5 Spannungsüberwachung externe +24 V-Versorgung

Versorgungsspannung +24 V	Versorgungsspannung > 18 V (DC OK-LED leuchtet grün)
---------------------------	--

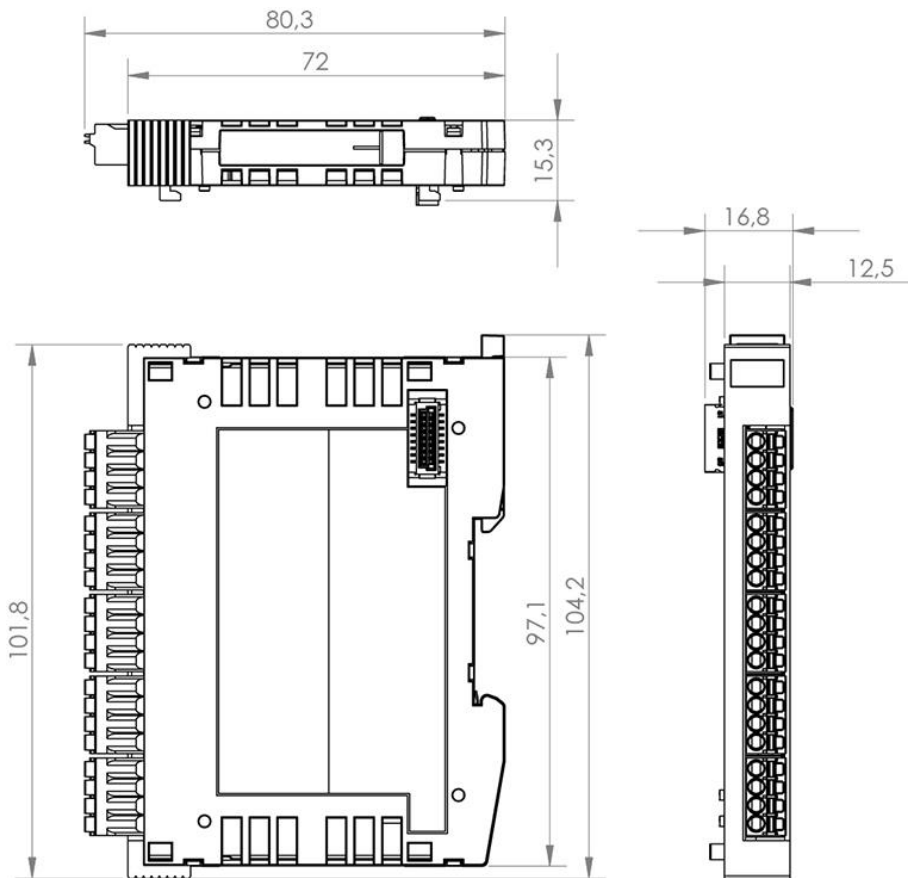
1.6 Sonstiges

Artikelnummer	20-009-046
Hardwareversion	1.x
Normung	UL in Vorbereitung

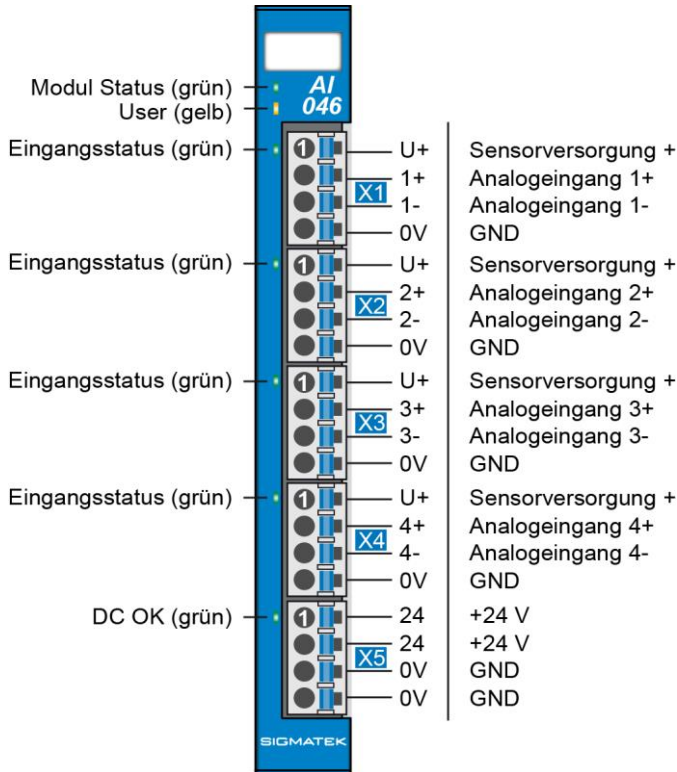
1.7 Umgebungsbedingungen

Lagertemperatur	-20 ... +85 °C	
Umgebungstemperatur	0 ... +55 °C	
Luftfeuchtigkeit	0-95 %, nicht kondensierend	
Betriebsbedingungen	Verschmutzungsgrad 2 Höhe bis zu 2000 m	
EMV-Störfestigkeit	nach EN 61000-6-2 (Industriebereich)	
EMV-Störaussendung	nach EN 61000-6-4 (Industriebereich)	
Schwingungsfestigkeit	EN 60068-2-6	3,5 mm von 5-8,4 Hz
		1 g von 8,4-150 Hz
Schockfestigkeit	EN 60068-2-27	15 g
Schutzart	EN 60529	IP20

2 Mechanische Abmessungen



3 Anschlussbelegung



Die Anschlüsse der +24 V-Versorgung (X5: Pin 1 und Pin 2) bzw. der GND-Versorgung (X5: Pin 3 und Pin 4) sind intern gebrückt. Zur Versorgung des Moduls ist jeweils der Anschluss nur eines +24 V-Pins (Pin 1 oder Pin 2) und eines GND-Pins (Pin 3 oder Pin 4) erforderlich. Die gebrückten Anschlüsse dürfen zum Weiterschleifen der +24 V-Versorgung und der GND-Versorgung verwendet werden. Es muss jedoch berücksichtigt werden, dass durch das Weiterschleifen ein Summenstrom von 6 A je Anschluss nicht überschritten wird!

3.1 Status-LEDs

Modul Status	grün	EIN	Modul aktiv
		AUS	Keine Versorgung vorhanden
		BLINKT (5 Hz)	Keine Kommunikation
User	gelb	EIN	Von Applikation einstellbar
		AUS	(z.B. kann die LED des Moduls über die Visualisierung blinkend eingestellt werden um die Modulfindung im Schaltschrank zu erleichtern)
		BLINKT (2 Hz)	
		BLINKT (4 Hz)	
Eingangstatus	grün	EIN	Analogeingang aktiv
		BLINKT (0,5 Hz)	Analogeingang unter Messbereich
		BLINKT (4 Hz)	Analogeingang über Messbereich
		AUS	Analogeingang inaktiv
		USER	LED ist optional über Applikation ansteuerbar
DCOK	grün	EIN	+24 V-Versorgung für analoge Eingänge ist vorhanden

3.2 Zu verwendende Steckverbinder

Steckverbinder:

X1-X5: Steckverbinder mit Federzugklemme (im Lieferumfang enthalten)

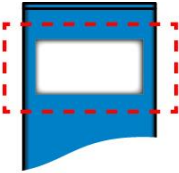
Die Federzugklemmen sind für den Anschluss von ultraschallverdichteten (ultraschallverschweißten) Litzen geeignet.

Anschlussvermögen:

Abisolierlänge/Hülsenlänge:	10 mm
Steckrichtung:	parallel zur Leiterachse bzw. zur Leiterplatte
Leiterquerschnitt starr:	0,2-1,5 mm ²
Leiterquerschnitt flexibel:	0,2-1,5 mm ²
Leiterquerschnitt Litzen ultraschallverdichtet:	0,2-1,5 mm ²
Leiterquerschnitt AWG/kcmil:	24-16
Leiterquerschnitt flexibel m. Aderendhülse ohne Kunststoffhülse:	0,25-1,5 mm ²
Leiterquerschnitt flexibel m. Aderendhülse mit Kunststoffhülse:	0,25-0,75 mm ² (Reduzierungsgrund d2 der Aderendhülse)



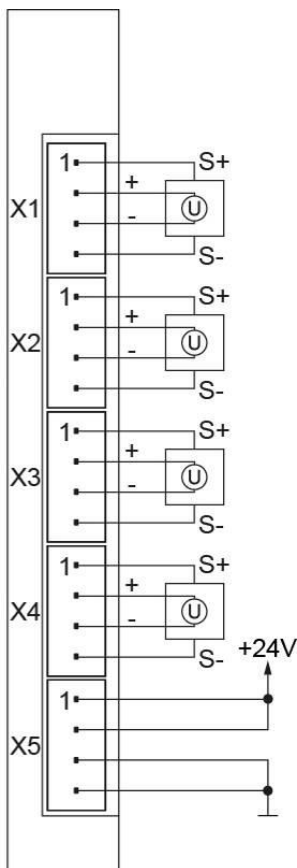
3.3 Beschriftungsfeld



Hersteller	Weidmüller
Typ	MF 10/5 CABUR MC NE WS
Artikelnummer Weidmüller	1854510000
Kompatibler Drucker	Weidmüller
Typ	Printjet Advanced 230V
Artikelnummer Weidmüller	1324380000

4 Verdrahtung

4.1 Anschlussbeispiel



HINWEISE

Unbenutzte Eingänge sollen mittels Kurzschlussbrücke zwischen Analogeingang+ und Analogeingang- gebrückt werden. Offene Eingänge haben keine funktionelle Auswirkung auf das Modul, führen jedoch zu einer erhöhten Stromaufnahme bei der externen Versorgung des Moduls.

4.2 Hinweise

Um eine einwandfreie Funktion zu gewährleisten, ist eine sorgfältige Leitungsführung unbedingt einzuhalten:

- Der 0 V-Anschluss der Versorgungsspannung muss auf kürzestem Weg zum 0 V-Sammelpunkt geführt werden.
- Die Hutschiene muss eine ordentliche Masseverbindung aufweisen.
- Die Verbindungsleitungen zu den Analogkomponenten müssen so kurz wie möglich und unter Vermeidung von Parallelführung zu digitalen Signalleitungen verdrahtet werden.
- Die Signalleitungen müssen geschirmt sein.
- Die Schirmung ist auf einer Schirmungssammelschiene anzulegen.
- Schutzbeschaltung aller Schützspulen (RC-Glieder oder Freilaufdioden).
- Korrekte Masseführung.

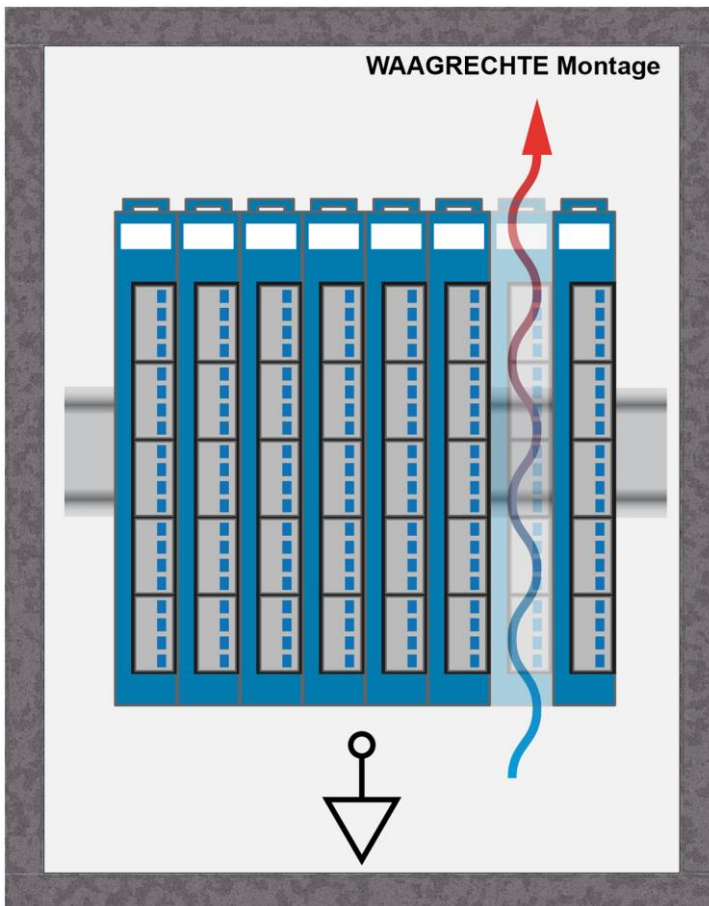
Erdungsschiene nach Möglichkeit mit Schaltschrank-Erdungsschiene verbinden!

WICHTIG:

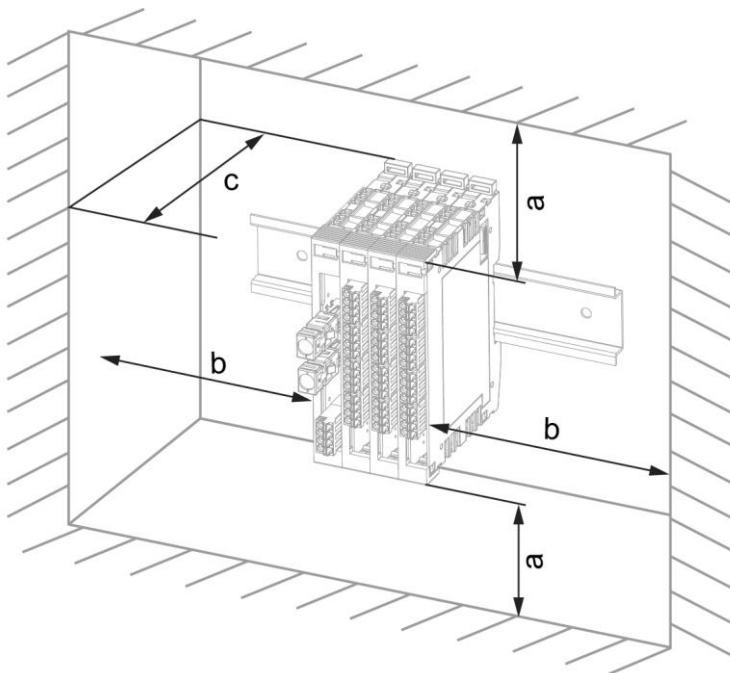
Das S-DIAS Modul darf NICHT unter Spannung an- oder abgesteckt werden!

5 Montage

Die S-DIAS Module sind für den Einbau im Schaltschrank vorgesehen. Zur Befestigung der Module ist eine Hutschiene erforderlich. Diese Hutschiene muss eine leitfähige Verbindung zur Schaltschrankrückwand herstellen. Die einzelnen S-DIAS Module werden aneinandergereiht in die Hutschiene eingehängt und durch Schließen der Rasthaken fixiert. Über die Erdungsglasche auf der Rückseite der S-DIAS Module wird die Funktionserdverbindung vom Modul zur Hutschiene ausgeführt. Es ist nur die waagrechte Einbaulage (Modulbezeichnung oben) mit ausreichend Abstand der Lüftungsschlitze des S-DIAS Modulblocks zu umgebenden Komponenten bzw. der Schaltschrankwand zulässig. Das ist erforderlich, um die optimale Kühlung und Luftzirkulation zu erreichen, sodass die Funktionalität bis zur maximalen Betriebstemperatur gewährleistet ist.



Empfohlene Minimalabstände der S-DIAS Module zu umgebenden Komponenten bzw. der Schaltschrankwand:



a	b	c
30 mm (1.18")	30 mm (1.18")	100 mm (3.94")

a, b, c ... Abstände in mm (inch)

6 Konfiguration

Zu Beginn, wenn das Modul versorgt ist, befindet sich der im FPGA befindliche Mikrocontroller (MicroBlaze) im Reset. Wird der Reset für den MicroBlaze über das „SDO Kontrollregister“ deaktiviert, beginnt der Mikrocontroller mit seiner Konfigurationsphase. Sobald diese abgeschlossen ist wird im „Fehler/Status Register“ Bit 3 Operational gesetzt.

Bei Änderungen im SDO-Bereich werden die Einstellungen erst durch das Setzen des Bits 6 im "SDO Kontrollregister" übernommen. Für die Dauer der Konfigurationsphase wird das Bit 3 Operational inaktiv gesetzt.

Der Datenspeicher jedes Kanals wird mit einer definierten Anzahl an Werten gefüllt. Die Anzahl an Werten im Datenspeicher ergibt sich aus der konfigurierten S-DIAS-Zykluszeit und der Abtastrate. Die Werte werden im 16-Bit Modus als Word oder im 18-Bit Modus als Dword in den Datenspeicher geschrieben. Im 16-Bit Modus verringert sich die Anzahl an zu lesenden Bytes und somit die Busauslastung des S-DIAS-Busses. Die Einstellung 16-Bit/18-Bit Modus geschieht im "SDO Kontrollregister".

Der Datenspeicher eines jeden Kanals wird gefüllt, wenn der jeweilige Kanal über das „PDO Kontrollregister“ aktiviert ist.

Mithilfe eines Wechselluffers ist für Datenkonsistenz gesorgt. Der Datenspeicher wird innerhalb eines S-DIAS-Zyklus gefüllt und am Ende des Zyklus zum Lesen freigegeben. Die Werte sind im darauffolgenden S-DIAS-Zyklus für die Dauer eines S-DIAS-Zyklus gültig.

Bei den Einstellungen für Abtastrate, FPGA Oversampling und ADC Oversampling muss die damit verbundene Wandlungszeit des ADCs und die Übertragungszeit über SPI berücksichtigt werden. Aus der resultierenden Anzahl an Wandlungen wird ein Mittelwert gebildet, der in den Datenspeicher geschrieben wird. Folgende Einstellungen für die Abtastrate und das Oversampling werden empfohlen:

6.1 FPGA Oversampling

Abtastrate	FPGA Oversampling	ADC Oversampling	Werte innerhalb eines S-DIAS-Buszyklus mit 1 ms	Hardware-Grenzfrequenz [kHz]
10	0 (1-fach)	0 (1-fach)	100	10
20	1 (2-fach)	0 (1-fach)	50	10
25	1 (2-fach)	0 (1-fach)	40	10
50	2 (4-fach)	0 (1-fach)	20	10
100	3 (8-fach)	0 (1-fach)	10	10
200	4 (16-fach)	0 (1-fach)	5	10
250	4 (16-fach)	0 (1-fach)	4	10
500	5 (32-fach)	0 (1-fach)	2	10
1000	6 (64-fach)	0 (1-fach)	1	10

6.2 ADC Oversampling

Abtastrate	FPGA Oversampling	ADC Oversampling	Werte innerhalb eines S-DIAS Buszyklus mit 1 ms	Hardware-Grenzfrequenz [kHz]
10	0 (1-fach)	0 (1-fach)	100	22,0
20	0 (1-fach)	1 (2-fach)	50	22,0
25	0 (1-fach)	2 (4-fach)	40	18,5
50	0 (1-fach)	3 (8-fach)	20	11,9
100	0 (1-fach)	4 (16-fach)	10	6,0
200	0 (1-fach)	5 (32-fach)	5	3,0
250	0 (1-fach)	5 (32-fach)	4	3,0
500	0 (1-fach)	6 (64-fach)	2	1,5
1000	1 (2-fach)	6 (64-fach)	1	1,5

7 Adressierung

Adresse (hex)	Größe (Byte)	Zugriffstyp	Beschreibung	Resetwert
0000	532	r	PDO Read	
0000	128	r16/32	<p>Datenspeicher Kanal 1 (16/32 Bit)</p> <p>Datenspeicher => Sind mehr als 128 Byte an Daten vorhanden, werden durch erneutes Lesen die nächsten Daten bereitgestellt (pro Kanal). Ungelesene Daten stehen im nächsten Zyklus nicht mehr zur Verfügung.</p> <p>16/32 Bit => abhängig von der Einstellung im „Kontrollregister“, Bit 0, Adresse 0x0229, werden die einzelnen Datensätze als Word oder Dword zur Verfügung gestellt (als Word gelesen ist die Auflösung geringer). Alle Werte sind Vorzeichen behaftet.</p>	0000
0080	128	r16/32	Datenspeicher Kanal 2 (16/32 Bit)	0000
0100	128	r16/32	Datenspeicher Kanal 3 (16/32 Bit)	0000
0180	128	r16/32	Datenspeicher Kanal 4 (16/32 Bit)	0000
0200	2	r16	<p>Datenspeicher Status Register (Datenspeicher voll wird gesetzt, wenn der aktuelle Speicher für den jeweiligen Kanal voll ist)</p> <p>Bit 0: Speicher voll Kanal 1 Bit 1: Speicher voll Kanal 2 Bit 2: Speicher voll Kanal 3 Bit 3: Speicher voll Kanal 4</p> <p>(Speicher leer wird gesetzt, wenn der aktuelle Speicher des jeweiligen Kanals leer ist)</p> <p>Bit 4: Speicher leer Kanal 1 Bit 5: Speicher leer Kanal 2 Bit 6: Speicher leer Kanal 3 Bit 7: Speicher leer Kanal 4</p> <p>(Wird auf einen Speicher gelesen, obwohl keine Daten vorhanden sind, wird „Lesen auf leeren Speicher“ gesetzt)</p> <p>Bit 8: Lesen auf leeren Speicher Kanal 1 Bit 9: Lesen auf leeren Speicher Kanal 2 Bit 10: Lesen auf leeren Speicher Kanal 3 Bit 11: Lesen auf leeren Speicher Kanal 4 Bit 12: DC 24 V not ok latched Bit 13: DC 24 V ok Bit 14-15: Reserviert</p>	00

0202	1	r	Hardware Status Latch Register (Bytes werden nach dem Auslesen zurückgesetzt) Bit 0: Kanal 1 untere Grenze Bit 1: Kanal 2 untere Grenze Bit 2: Kanal 3 untere Grenze Bit 3: Kanal 4 untere Grenze Bit 4: Kanal 1 obere Grenze Bit 5: Kanal 2 obere Grenze Bit 6: Kanal 3 obere Grenze Bit 7: Kanal 4 obere Grenze	00
0203	1	r	Reserve	00
0204	4	r32	Binäre Daten Kanal 1 (18 Bit signed)	00000000
0208	4	r32	Binäre Daten Kanal 2 (18 Bit signed)	00000000
020C	4	r32	Binäre Daten Kanal 3 (18 Bit signed)	00000000
0210	4	r32	Binäre Daten Kanal 4 (18 Bit signed)	00000000
0214	2	w	PDO Write	
0214	1	w	PDO Kontrollregister Bit 0: Enable Kanal 1 (1 = Kanal aktiviert) Bit 1: Enable Kanal 2 Bit 2: Enable Kanal 3 Bit 3: Enable Kanal 4 Bit 4: Reserve Bit 5: Start Synchron ADC (1 = aktiv) Bit 6-7: Reserve	00
0215	1	w	LED Overwrite Register Bit 0-1: LED Kanal 1 00 = aus (HW Status aktiv, kein SW Overwrite) 01 = Enable SW Overwrite „0“ 11 = Enable SW Overwrite „1“ 10 = Reserviert Bit 2-3: LED Kanal 2 Bit 4-5: LED Kanal 3 Bit 6-7: LED Kanal 4	00
0216	234	r/w	SDO	
0216	2	r/ w16	Abtastrate [µs] Die kleinste Abtastrate ist mit 10 µs definiert	000A
0218	1	r/w	Reserve	00
0219	1	r/w	FPGA Oversampling Bit 0-2: Oversampling durch FPGA Anzahl an Samples = 2 ⁿ Oversampling Bit 3-7: Reserve	00
021A	2	r/w	Grenzfrequenz IIR Filter Kanal 1 [Hz] 0 = aus, min. 10 Hz	0000

021C	2	r/w	Grenzfrequenz IIR Filter Kanal 2 [Hz] 0 = aus, min. 10 Hz	0000
021E	2	r/w	Grenzfrequenz IIR Filter Kanal 3 [Hz] 0 = aus, min. 10 Hz	0000
0220	2	r/w	Grenzfrequenz IIR Filter Kanal 4 [Hz] 0 = aus, min. 10 Hz	0000
0222	1	r/w	IO Expander Register ⁽¹⁾ Bit 0-2: ADC Oversampling (Wert 7 wird nicht unterstützt) Bit 3: ADC Reset Für Strom wird automatisch die Verstärkung 10x gewählt und kann nicht verändert werden (Registerwert wird ignoriert), für Spannung kann zwischen 1x und 10x gewählt werden. Bit 4: Strom-/Spannungsverstärkung Kanal 1 (0 = 1x, 1 = 10x Verstärkung) Bit 5: Strom-/Spannungsverstärkung Kanal 2 Bit 6: Strom-/Spannungsverstärkung Kanal 3 Bit 7: Strom-/Spannungsverstärkung Kanal 4	08
0223	1	r/w	Enable Unterer Schwellwert Stromkarte (4-20 mA Mode) Bit 0: Enable Kanal 1 (1 = Schwellwernererkennung aktiv) Bit 1: Enable Kanal 2 Bit 2: Enable Kanal 3 Bit 3: Enable Kanal 4 Bit 4-7: Reserviert	00
0224	4	r/w	Unterer Schwellwert Kabelbruch (nur für Stromkarte) Bit 0-18: Unterer Schwellwert (mit Vorzeichen, signed) Bit 19-31: Reserviert	00000000
0228	1	r	Fehler/Status Register Bit 0: Abgleichdaten konnten nicht gelesen werden Bit 1: Abgleichdaten ungültig (CRC Fehler) Bit 2: IIR Filterberechnung Fehler (verodert) Bit 3: Operational (1 = aktiv) Bit 4: Strom- oder Spannungsmessung (1 = Strom, 0 = Spannung) Erkennung über Pin-Beschaltung / Bestückungs- variante, gefiltert Bit 5-7: Reserve	00
0229	1	r/w	SDO Kontrollregister Bit 0: Wertebereich im Datenspeicher 0 = 32 Bit Zugriff mit 18 Bit Wert 1 = 16 Bit Zugriff, von 18 Bit Wert die Bits 17...2 Bit 1-5: Reserve Bit 6: Konfiguration neu laden (wenn als ,1' geschrieben) Bit 7: MicroBlaze (μC) Reset (1 = MicroBlaze im Reset)	80

022A	1	r	IIR Filter Fehler (gelatcht) Bit 0: Kanal 1 Überlauf Bit 1: Kanal 2 Überlauf Bit 2: Kanal 3 Überlauf Bit 3: Kanal 4 Überlauf Bit 4-7: Reserviert	00
022B	213	-	Reserve	-
0300	48	r/w	DPRAM (verwendet für Zwischenspeicher der Kalibrierungsdaten) Verstärkung 1x	
0300	4	r/w	Kalibrierdaten Channel 1 Offset	0..0
0304	4	r/w	Kalibrierdaten Channel 1 Multiplier	0..0
0308	4	r/w	Kalibrierdaten Channel 1 Divisor	0..0
030C	4	r/w	Kalibrierdaten Channel 2 Offset	0..0
0310	4	r/w	Kalibrierdaten Channel 2 Multiplier	0..0
0314	4	r/w	Kalibrierdaten Channel 2 Divisor	0..0
0318	4	r/w	Kalibrierdaten Channel 3 Offset	0..0
031C	4	r/w	Kalibrierdaten Channel 3 Multiplier	0..0
0320	4	r/w	Kalibrierdaten Channel 3 Divisor	0..0
0324	4	r/w	Kalibrierdaten Channel 4 Offset	0..0
0328	4	r/w	Kalibrierdaten Channel 4 Multiplier	0..0
032C	4	r/w	Kalibrierdaten Channel 4 Divisor	0..0
0330	48	r/w	DPRAM (verwendet für Zwischenspeicher der Kalibrierungsdaten) Verstärkung 10x	
0330	4	r/w	Kalibrierdaten Channel 1 Offset	0..0
0334	4	r/w	Kalibrierdaten Channel 1 Multiplier	0..0
0338	4	r/w	Kalibrierdaten Channel 1 Divisor	0..0
033C	4	r/w	Kalibrierdaten Channel 2 Offset	0..0
0340	4	r/w	Kalibrierdaten Channel 2 Multiplier	0..0
0344	4	r/w	Kalibrierdaten Channel 2 Divisor	0..0
0348	4	r/w	Kalibrierdaten Channel 3 Offset	0..0
034C	4	r/w	Kalibrierdaten Channel 3 Multiplier	0..0
0350	4	r/w	Kalibrierdaten Channel 3 Divisor	0..0
0354	4	r/w	Kalibrierdaten Channel 4 Offset	0..0
0358	4	r/w	Kalibrierdaten Channel 4 Multiplier	0..0

035C	4	r/w	Kalibrierdaten Channel 4 Divisor	0..0
------	---	-----	----------------------------------	------

⁽¹⁾ Hinweis: Jedes Mal, wenn das IO Expander Register geschrieben wird, wird ein Zugriff ausgeführt und dieser auf HW aktualisiert.

8 Hardwareklasse AI046

Hardwareklasse AI046 für das S-DIAS-Analog-Modul AI 046

```
SDIAS:05, AI046 (AI0461)
[S] Class State (ClassState) <-[]->
[S] Device ID (DeviceID) <-[]->
[S] FPGA Version (FPGAVersion) <-[]->
[S] Hardware Version (HwVersion) <-[]->
[S] Serial Number (SerialNo) <-[]->
[S] Retry Counter (RetryCounter) <-[]->
[O] LED Control (LEDControl) <-[]->
[S] Voltage 24V (Voltage24V) <-[]->
[S] Oversample Mode (OversampleMode) <-[]->
[S] ADC configuration valid (ConfigValid) <-[]->
[S] Range Error (RangeError) <-[]->
----- Analog Input 1 -----
[I] Analog Input 1 (AI1) <-[]->
[S] AI1 Gain (AI1Gain) <-[]->
[S] AI1 Set Led (AI1SetLed) <-[]->
----- Analog Input 2 -----
[I] Analog Input 2 (AI2) <-[]->
[S] AI2 Gain (AI2Gain) <-[]->
[S] AI2 Set Led (AI2SetLed) <-[]->
----- Analog Input 3 -----
[I] Analog Input 3 (AI3) <-[]->
[S] AI3 Gain (AI3Gain) <-[]->
[S] AI3 Set Led (AI3SetLed) <-[]->
----- Analog Input 4 -----
[I] Analog Input 4 (AI4) <-[]->
[S] AI4 Gain (AI4Gain) <-[]->
[S] AI4 Set Led (AI4SetLed) <-[]->
[ALARM:00, Empty]
```

Diese Hardwareklasse wird zum Ansteuern des Hardwaremoduls AI 046 verwendet. Das Modul besitzt vier analoge Eingänge mit jeweils einem 2048 Byte großen Speicher. Die Messwerte jedes analogen Eingangs werden in den dazugehörigen Speicher geschrieben. Genauere Hardwareinformationen findet man in der Moduldokumentation.

8.1 Allgemein

ClassState	State	Dieser Server zeigt den aktuellen Status der Hardwareklasse an.								
DeviceID	State	Auf diesem Server wird die Device-ID des Hardwaremoduls angezeigt.								
FPGAVersion	State	FPGA-Version des Modules im Format 16#XY (z.B. 16#10 = Version 1.0).								
Hardware Version	State	Hardware-Version des Modules im Format 16#XXYY (z.B. 16#0120 = Version 1.20)								
Serial Number	State	Auf diesem Server wird die Seriennummer des Hardwaremoduls angezeigt.								
Retry Counter	State	Dieser Server zählt hoch, wenn ein Transfer fehlschlägt.								
LED Control	Output	<p>Mit diesem Server kann das Applikations-LED des S-DIAS-Moduls gesteuert werden, um das Modul im Verbund schneller finden zu können.</p> <table border="1"> <tr> <td>0</td> <td>LED aus</td> </tr> <tr> <td>1</td> <td>LED ein</td> </tr> <tr> <td>2</td> <td>langsam blinken</td> </tr> <tr> <td>3</td> <td>schnell blinken</td> </tr> </table>	0	LED aus	1	LED ein	2	langsam blinken	3	schnell blinken
0	LED aus									
1	LED ein									
2	langsam blinken									
3	schnell blinken									
Voltage 24V	State	<p>Anzeige ob die 24 V-Versorgungsspannung in Ordnung ist.</p> <table border="1"> <tr> <td>0</td> <td>nicht in Ordnung</td> </tr> <tr> <td>1</td> <td>in Ordnung</td> </tr> </table>	0	nicht in Ordnung	1	in Ordnung				
0	nicht in Ordnung									
1	in Ordnung									
Required	Property	Dieser Client ist standardmäßig aktiviert, d.h. dieses S-DIAS-Hardwaremodul an dieser Position ist für das System zwingend erforderlich und darf keinesfalls fehlen, ausgesteckt werden oder einen Fehler liefern, ansonsten wird die gesamte Hardware abgeschaltet. Fehlt das Hardwaremodul, liefert es einen Fehler oder wird es entfernt, löst dies einen S-DIAS-Fehler aus. Wird dieser Client mit 0 initialisiert, ist dieses Hardwaremodul an der Position nicht zwingend erforderlich, d.h. es kann jederzeit an- bzw. abgesteckt werden. Es sollte aber mit Bedacht die Sicherheit des Systems ausgewählt werden, welche Komponenten „nicht required“ sein sollen.								

8.2 Analoge Eingänge [1-4]

Config Valid	State	Anzeige, ob die Konfiguration des analogen Eingangs 1-4 gültig ist. 1 Konfiguration ist gültig 0 Konfiguration wird geschrieben -1 Konfiguration ist nicht gültig
AI[1-4] Analog Input	Input	Analoger Eingang. Hier wird der erste Wert aus dem jeweiligen Messwert-Speicher angezeigt. Der angezeigte Wert ist von Gain, MaxValue und MinValue abhängig. Bei offenem/kurzgeschlossenem Eingang liefert die Hardwareklasse -2147483632 (0x8000 0010).
AI[1-4] Gain	Output	Einstellung der Verstärkung. 0 Verstärkung von 1 1 Verstärkung von 10
AI[1-4] Channel Active	Property	Zum Aktivieren des Analogen Eingangs. 0 analoger Eingang ist deaktiviert 1 analoger Eingang ist aktiviert als Initialisierungswert
AI[1-4] Maximum Value	Property	Zum Setzen des oberen Skalenbereichs. 18 Bit ± 110.000 maximale Auflösung entspricht ± 11 V 16 Bit ± 27.500 maximale Auflösung entspricht ± 11 V als Initialisierungswert
AI[1-4] Minimum Value	Property	Zum Setzen des unteren Skalenbereichs. 18 Bit ± 110.000 maximale Auflösung entspricht ± 11 V 16 Bit ± 27.500 maximale Auflösung entspricht ± 11 V als Initialisierungswert
AI[1-4] IIR Filter Grenzfrequenz	Property	Dieser Client dient zum Setzen der Filtergrenzfrequenz des Software Tiefpassfilters. 0 aus (default) 1 10 kHz 2 5 kHz 3 1000 Hz (1 kHz) 4 500 Hz 5 100 Hz 6 50 Hz 7 25 Hz 8 10 Hz als Initialisierungswert
AI[1-4] LED Overwrite	Output	Zum Aktivieren der Status LED. 0 HW Status aktiv 1 LED ein 2 LED aus
Oversample Mode	Output	Zum Einstellen des Oversampling Modus. 0 FPGA Oversampling 1 ADC Oversampling

Samples Per Ms	Property	<p>Zum Einstellen der Samples, die pro Zyklus und analogem Eingang übertragen werden sollen. Die kleinste Wandelzeit des ADC beträgt 10 μs. Dadurch ergibt sich ein Maximum von 100 Messwerten in einer Millisekunde, die übertragen werden können.</p> <p>0 1 Sample per ms (1 ms conversion time) FPGA OVS ... 64 ADC OVS ... 64 + FPGA OVS ... 2</p> <p>1 2 Samples per ms (500 μs conversion time) FPGA OVS ... 32 ADC OVS ... 64</p> <p>2 4 Samples per ms (250 μs conversion time) FPGA OVS ... 16 ADC OVS ... 32</p> <p>3 5 Samples per ms (200 μs conversion time) FPGA OVS ... 16 ADC OVS ... 32</p> <p>4 10 Samples per ms (100 μs conversion time) FPGA OVS ... 8 ADC OVS ... 16</p> <p>5 20 Samples per ms (50 μs conversion time) FPGA OVS ... 4 ADC OVS ... 8</p> <p>6 40 Samples per ms (25 μs conversion time) FPGA OVS ... 2 ADC OVS ... 4</p> <p>7 50 Samples per ms (20 μs conversion time) FPGA OVS ... 2 ADC OVS ... 2</p> <p>8 100 Samples per ms (10 μs conversion time) FPGA OVS ... 1 ADC OVS ... 1 als Initialisierungswert</p>			
	Property	<p>Zum Einstellen der Größe eines Messwertes.</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td style="padding: 2px;">16 Bit mode (2 byte value)</td> </tr> <tr> <td style="width: 5%; text-align: center;">1</td> <td style="padding: 2px;">18 Bit mode (4 byte value) (default)</td> </tr> </table> <p>als Initialisierungswert</p>	0	16 Bit mode (2 byte value)	1
0	16 Bit mode (2 byte value)				
1	18 Bit mode (4 byte value) (default)				
Values Size					

8.3 Kabelbrucherkennung

Range Error	State	<p>Anzeige, ob am analogen Eingang 1-4 ein Kabelbruch oder Überstrom aufgetreten ist. Ein Fehler wird ebenso mit der LED am einzelnen analogen Eingang angezeigt.</p> <p>Erkennung untere Messgrenze (Kabelbrucherkennung):</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="width: 10%;">Bit 0</td><td style="width: 10%;">Kanal 1</td><td style="width: 80%;">untere Grenze</td></tr> <tr><td>Bit 1</td><td>Kanal 2</td><td>untere Grenze</td></tr> <tr><td>Bit 2</td><td>Kanal 3</td><td>untere Grenze</td></tr> <tr><td>Bit 3</td><td>Kanal 4</td><td>untere Grenze</td></tr> </table> <p>Erkennung obere Messgrenze:</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="width: 10%;">Bit 4</td><td style="width: 10%;">Kanal 1</td><td style="width: 80%;">obere Grenze</td></tr> <tr><td>Bit 5</td><td>Kanal 2</td><td>obere Grenze</td></tr> <tr><td>Bit 6</td><td>Kanal 3</td><td>obere Grenze</td></tr> <tr><td>Bit 7</td><td>Kanal 4</td><td>obere Grenze</td></tr> </table>	Bit 0	Kanal 1	untere Grenze	Bit 1	Kanal 2	untere Grenze	Bit 2	Kanal 3	untere Grenze	Bit 3	Kanal 4	untere Grenze	Bit 4	Kanal 1	obere Grenze	Bit 5	Kanal 2	obere Grenze	Bit 6	Kanal 3	obere Grenze	Bit 7	Kanal 4	obere Grenze
Bit 0	Kanal 1	untere Grenze																								
Bit 1	Kanal 2	untere Grenze																								
Bit 2	Kanal 3	untere Grenze																								
Bit 3	Kanal 4	untere Grenze																								
Bit 4	Kanal 1	obere Grenze																								
Bit 5	Kanal 2	obere Grenze																								
Bit 6	Kanal 3	obere Grenze																								
Bit 7	Kanal 4	obere Grenze																								

8.4 Kommunikations-Schnittstellen

ALARM	Downlink	Mit diesem Downlink kann die zugehörige Alarmklasse über den Hardware-Editor platziert werden.
--------------	----------	--

8.5 Globale Methoden

Die folgende Methode kann über den Server ClassState aufgerufen werden.

8.5.1 GetData

Diese Funktion wird verwendet, um Daten aus dem Messwert-Speicher zu kopieren.

Übergabeparameter	Typ	Beschreibung										
usChannelNr	USINT	Gibt den analogen Eingang an, von dem die Daten gelesen werden sollen.										
uiDataLength	UINT	Gibt die angeforderte Datenlänge in Byte an. Pro Messwert werden 2 Byte im 16 Bit Modus und 4 Byte im 18 Bit Modus benötigt.										
pBufferData	^void	Zeiger auf den Puffer, in dem die Daten vom Messwert-Speicher kopiert werden sollen.										
pDataCounter	^UDINT	Wenn der Zeiger gültig ist und es keine Fehler in der Methode gibt, wird der aktuelle Datenzähler in seinen Inhalt geschrieben um anzuzeigen, ob es neue Daten gibt.										
Rückgabeparameter	Typ	Beschreibung										
dRetCode	DINT	<table border="1"> <tbody> <tr> <td>0</td> <td>Daten wurden umkopiert</td> </tr> <tr> <td>-1</td> <td>ausgewählter analoger Eingang ist nicht aktiviert</td> </tr> <tr> <td>-2</td> <td>ausgewählter analoger Eingang ist nicht verfügbar</td> </tr> <tr> <td>-3</td> <td>Datenlänge ist nicht gültig</td> </tr> <tr> <td>-4</td> <td>Daten des analogen Eingangs sind ungültig</td> </tr> </tbody> </table>	0	Daten wurden umkopiert	-1	ausgewählter analoger Eingang ist nicht aktiviert	-2	ausgewählter analoger Eingang ist nicht verfügbar	-3	Datenlänge ist nicht gültig	-4	Daten des analogen Eingangs sind ungültig
0	Daten wurden umkopiert											
-1	ausgewählter analoger Eingang ist nicht aktiviert											
-2	ausgewählter analoger Eingang ist nicht verfügbar											
-3	Datenlänge ist nicht gültig											
-4	Daten des analogen Eingangs sind ungültig											

8.6 Interne Eigenheiten

Die kürzeste Wandelzeit des ADC beträgt 10 Mikrosekunden. Dadurch können in einer Millisekunde Buszykluszeit maximal 100 Messwerte gewandelt werden. Wenn alle 4 analogen Eingänge aktiviert sind, ergibt das 400 Messwerte pro Millisekunde.

Der Betrieb des Moduls mit einer Buszykluszeit unter 1 ms wird nur bei bestimmten Samples pro ms unterstützt:

Buszykluszeit Samples/ms	50 µs	100 µs	125 µs	200 µs	250 µs	55 µs	≥ 1 ms
1	✓	✓	✓	✓	✓	✓	✓
2	✓	✓	✓	✗	✓	✓	✓
4	✓	✗	✓	✗	✓	✓	✓
5	✓	✓	✗	✓	✗	✗	✓
10	✓	✓	✗	✓	✗	✓	✓
20	✓	✓	✗	✓	✓	✓	✓
40	✓	✓	✓	✓	✓	✓	✓
50	✗	✓	✗	✓	✗	✓	✓
100	✓	✓	✗	✓	✓	✓	✓

✓ unterstützt

✗ nicht unterstützt

8.6.1 Beispiel: Überschreiten der maximalen Speichergröße

Dadurch dass die maximale Speichergröße 2048 Byte beträgt, können somit im 18 Bit Modus maximal 512 Messwerte aufgenommen werden.

Somit darf bei einer Einstellung von 100 Werten pro Millisekunde im 18 Bit Modus die Buszykluszeit nicht größer als 5 Millisekunden sein. Ansonsten läuft der Messwert-Speicher über.

Bei einer Buszykluszeit von 6 Millisekunden und Aktivierung von nur einem Kanal ergibt sich folgendes Berechnungsbeispiel:

$$100 \text{ Samples} * 4 \text{ Byte(18Bit)} = 400 \text{ Byte pro Kanal}$$

$$400 \text{ Byte} * 6 \text{ Millisekunden} = 2400 \text{ Byte}$$

Dadurch, dass im Speicher maximal 2048 Byte zur Verfügung stehen, ist diese Konfiguration nicht zulässig.

8.6.2 Beispiel: Überschreiten des Verfügbaren Lesespeichers des SDIAS-Managers

Durch Erhöhen der Buszykluszeit wird auch der Lese-Speicherbedarf erhöht. Maximal können 6143 Byte Lesespeicher belegt werden.

Bei einer Buszykluszeit von 4 Millisekunden und Aktivierung aller 4 Kanäle im 18 Bit Modus ergibt sich folgendes Berechnungsbeispiel:

$100 \text{ Samples pro Kanal} * 4 \text{ Byte(18Bit)} = 400 \text{ Byte pro Kanal}$

$400 \text{ Byte pro Kanal} * 4 = 1600 \text{ Byte bei 4 Kanäle}$

$1600 \text{ Byte} * 4 \text{ Millisekunden} = 6400 \text{ Byte}$

Dadurch, dass nur 6143 Byte Lesespeicher zur Verfügung stehen, ist diese Konfiguration nicht zulässig.

Änderungen der Dokumentation

Änderungsdatum	Betroffene Seite(n)	Kapitel	Vermerk
28.06.2017	6	1.3 Messgenauigkeit	Info Aufwärmphase gelöscht Grundgenauigkeit inkl. Abgleichfehler und Rauschen
10.07.2017	3 17 20	1.1 Spezifikation analoge Eingänge 6 Konfiguration 7 Adressierung	Abtastrate, Datenspeichertiefe pro Kanal, Berechnungsgrundlage Anzahl an Werten pro Kanal (n) hinzugefügt Kapitel hinzugefügt überarbeitet
14.07.2017	6	1.3 Messgenauigkeit	Gesamtfehler hinzugefügt
20.07.2017	3 6	1.1 Spezifikation analoge Eingänge 1.2 Messmodi	Eingangsfiler Hardware und Fußnote 2 geändert Diagramm hinzugefügt
10.08.2017			Alle Hinweise auf interne Jumper entfernt
17.08.2017	9 13	1.7 Umgebungsbedingungen 3.2 Zu verwendende Steckverbindung	Verschmutzungsgrad Hülsenlänge hinzugefügt Informationen bzgl. ultraschallverschweißter Litzen ergänzt
11.10.2017	3 6	1.1 Spezifikation analoge Eingänge 1.3 Messgenauigkeit	Gleichtaktbereich auf ± 6 V geändert 20-40 °C auf 0,006 % geändert
18.10.2017	15 19	3.3 Beschriftungsfeld 5 Montage	Kapitel ergänzt Grafik ersetzt
14.02.2018	1		Auflösung statt Wandlerauflösung
20.09.2018		3 Anschlussbelegung	Merksatz hinzugefügt
14.11.2019		8 Unterstützte Zykluszeiten	Kapitel hinzugefügt
28.02.2020	27	8 Unterstützte Zykluszeiten	Text angepasst
28.05.2020	27	8 Unterstützte Zykluszeiten	Gesamtes Kapitel entfernt
08.09.2020		8 Hardwareklasse AI046	Kapitel hinzugefügt
04.11.2020	18	5 Montage	Ergänzung Funktionserdverbindung

