

VARAN Client Board

VEB 011/012

Versatile Automation Random Access Network

Dieses Client-Board dient dazu, alle möglichen Peripherie-Geräte auf einfache Weise mit dem VARAN-Bus auszustatten.



Technische Daten

Leistungsdaten

Interner Speicher	Serieller 4-MBit-Flash
Schnittstellen	1 x VARAN (Client) (maximale Leitungslänge: 100 m) 1 x Peripherie-Interface
Verbindung zum Peripherie-Gerät	Über 50-pol. Board-to-Board-Steckverbinder, Rastermaß 0,8 mm (Typ ERNI Microstac, Best.-Nr. 114713)

Elektrische Anforderungen

Interne Versorgungsspannung (VDD)	Typisch +3,3 V DC ($\pm 4\%$) (wird vom Peripherie-Gerät, über 50-pol. Steckverbinder, zur Verfügung gestellt)
Stromaufnahme Versorgungsspannung	Minimal 250 mA (abhängig von der externen Beschaltung)

Sonstiges

	VEB 011	VEB 012
Artikelnummer	16-081-011	16-081-012
Hardwareversion	1.x	1.x

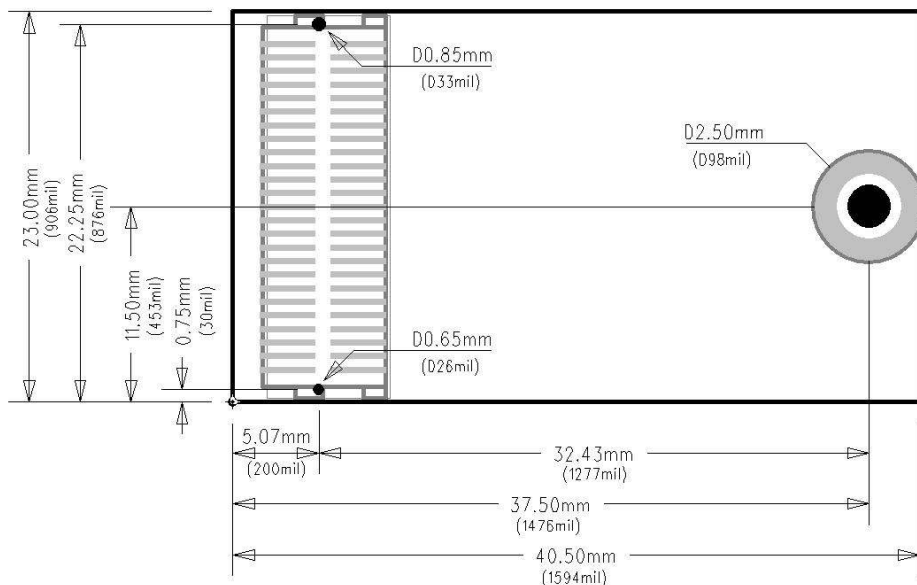
Umgebungsbedingungen

Lagertemperatur	-20 – +85 °C	
Betriebstemperatur ¹⁾	VEB 011	VEB 012
	0 – 70°C	0 – 85°C
	VEB 011/012	
Luftfeuchtigkeit	0 – 95 %, nicht kondensierend	
EMV-Festigkeit	²⁾	
Schockfestigkeit	EN 60068-2-27	150 m/s ²

¹⁾ lt. Bauteilspezifikationen. Die Betriebstemperatur des Gesamtgerätes muss für jede Applikation eigens definiert werden, da die Betriebsbedingungen (Einbaulage, Gehäuse, Wärmequellen in der Nähe des VEBs) nicht bekannt sind.

²⁾ Die EMV-Festigkeit muss für jede Anwendung gesondert im Gesamtsystem getestet werden.

Mechanische Abmessungen



Die Bemessung der Zentrierbohrungen des 50-poligen ERNI Board-to-Board-Steckverbinders gilt für die Stecker auf der Basisplatte (zeigt nicht die Position der Steckverbinder auf dem VEB).

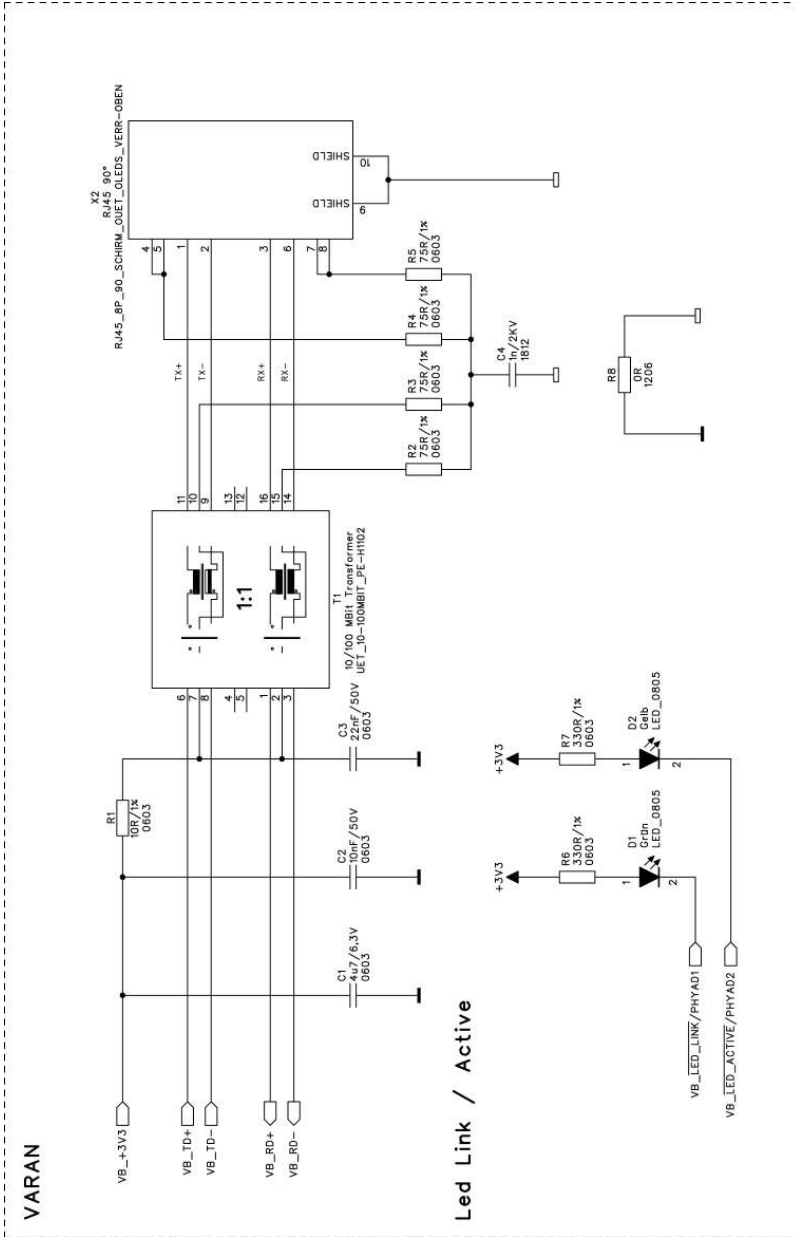
Das VEB ist in dieser Zeichnung von der Stecker-Rückseite gesehen.

Die Bauteilhöhe auf der Basisplatte unter dem VEB darf nicht mehr als 3 mm betragen.

Steckerbelegung



Pin	Xilinx Identifier	Bus-Modus		DPRAM-Modus		IO-Modus	
1		GND		GND		GND	
2		GND		GND		GND	
3	V2	D0	IO	D0	IO	IN9	IN
4	V1	-		-		OUT9	OUT
5	V4	D1	IO	D1	IO	IN10	IN
6	V3	-		-		OUT10	OUT
7	V6	D2	IO	D2	IO	IN11	IN
8	V5	-		-		OUT11	OUT
9	V8	D3	IO	D3	IO	IN12	IN
10	V7	-		-		OUT12	OUT
11	V10	D4	IO	D4	IO	IN13	IN
12	V9	-		-		OUT13	OUT
13	V12	D5	IO	D5	IO	IN14	IN
14	V11	Mode0	IN	Mode0	IN	Mode0	IN
15	V14	D6	IO	D6	IO	IN15	IN
16	V13	Mode1	IN	Mode1	IN	Mode1	IN
17	V16	D7	IO	D7	IO	IN16	IN
18	V15	Mode2	IN	Mode2	IN	Mode2	IN
19		VDD		VDD		VDD	
20		VDD		VDD		VDD	
21		GND		GND		GND	
22	V17	Ready	IN	-		-	
23		Phy_RX+		Phy_RX+		Phy_RX+	
24	V18	Sync	OUT	Sync	OUT	-	
25		Phy_RX-		Phy_RX-		Phy_RX-	
26	V19	A0	OUT	A0	OUT	IN1	IN
27		Phy_TX+		Phy_TX+		Phy_TX+	
28	V20	A1	OUT	A1	OUT	IN2	IN
29		Phy_TX-		Phy_TX-		Phy_TX-	
30	V21	A2	OUT	A2	OUT	IN3	IN
31		VB +3V3		VB +3V3		VB +3V3	
32	V22	A3	OUT	A3	OUT	IN4	IN
33	V24	CLK 25 MHz	OUT	CLK 25 MHz	OUT	CLK 25 MHz	OUT
34	V23	A4	OUT	A4	OUT	IN5	IN
35	V26	/Periphery Reset	OUT	/Periphery Reset	OUT	/Periphery Reset	OUT
36	V25	A5	OUT	A5	OUT	IN6	IN
37	V28	-		-		-	
38	V27	A6	OUT	A6	OUT	IN7	IN
39	V30	R / W	OUT	R / W	OUT	OUT8	OUT
40	V29	A7	OUT	A7	OUT	IN8	IN
41	V32	-		-		OUT6	OUT
42	V31	A8	OUT	A8	OUT	OUT7	OUT
43		/Phy_led_link		/Phy_led_link		/Phy_led_link	
44	V33	A9	OUT	A9	OUT	OUT5	OUT
45		/Phy_led_active		/Phy_led_active		/Phy_led_active	
46	V34	A10	OUT	A10	OUT	OUT4	OUT
47	V36	/CS Hex Switch		/CS Hex Switch		OUT2	OUT
48	V35	A11	OUT	A11	OUT	OUT3	OUT
49		GND		GND		GND	
50	V37	/CS	OUT	/CS	OUT	OUT1	OUT



Layout-Richtlinien

- An die Versorgungs-Pins (+3V3) der Board-to-Board-Steckverbinder Blockkondensatoren mit 100 nF platzieren.
- Der Abstand zwischen Übertrager (Pulse H1102NLT) und RJ45-Steckverbinder ist minimal zu wählen (<25 mm).
- Der Abstand zwischen Übertrager und 50-poligem VEB-Stecker sollte nach Möglichkeit 50 mm nicht überschreiten.
- Die VARAN-Differenzleitungen TD+/TD- und RD+/RD- sind
 - so kurz wie möglich
 - parallel (minimaler Abstand der Leitungen zueinander)
 - gleich lang
 - ... zu routen
- Weiters sollten die Differenzleitungen folgende Eigenschaften aufweisen:
 - Abstand zwischen 2 Differenzleitungspaaren >0,38 mm
 - Abstand der Differenzleitungen zu Leiterplattenkanten >25 mm
 - Abstand der Differenzleitungen zu anderen Signalen >0,76 mm
 - Durchgehende GND-Fläche unter den Differenzleitungen
 - Differenzleitungen nicht mit anderen Signalen kreuzen
 - Differenzleitungen nicht unter Bauteilen routen

Modus-Register

Die Modus-Pins (v11, v13, v15) werden im FPGA gelatched und der gewählte Modus kann vom Register ausgelesen werden. Folgende Modi sind definiert:

V15	V13	V11	Modus
0	0	0	"000" Bus-Modus
0	0	1	"001" IO-Modus
0	1	0	"010" DPRAM-Modus

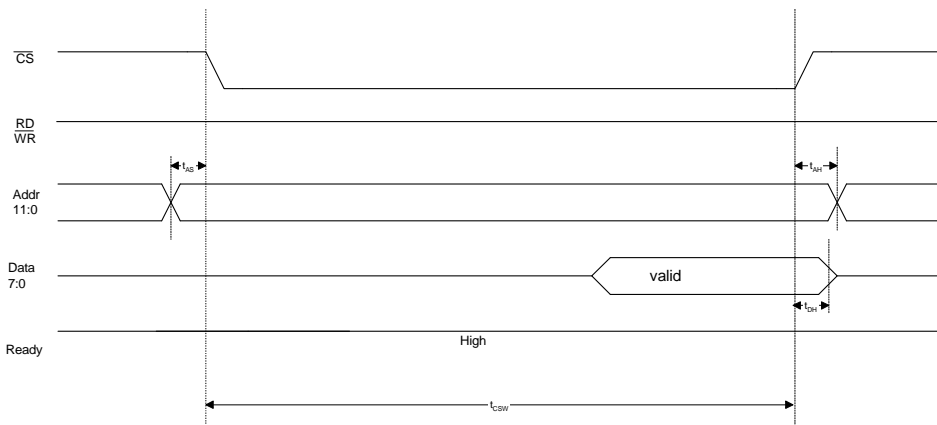
Bus-Modus

Im Bus-Modus ist das VEB der Busmaster. Das Sync-Signal ist der Ausgang der PLL (sync out 0) – siehe VARAN-Bus-Spezifikation. Dieses Signal kann zur Synchronisation der Peripherie verwendet werden.

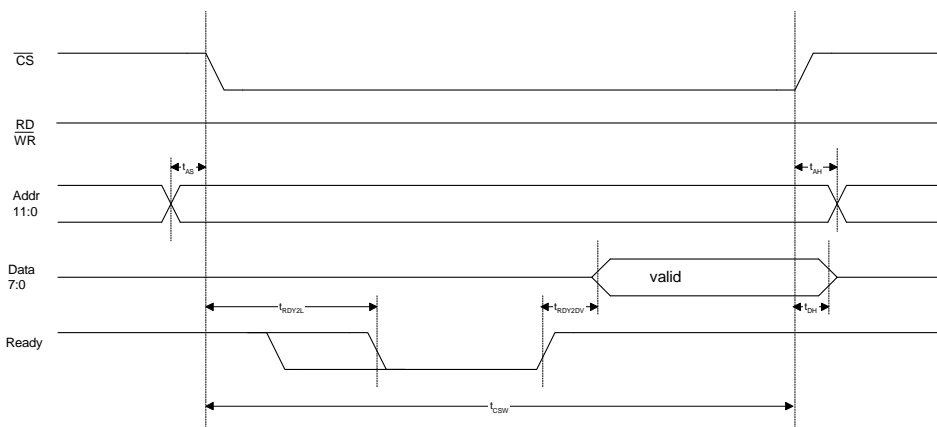
Name	Beschreibung	Port	Pins (0 bis ..)
A	Address (12 bit)	out	V19, 20, 21, 22, 23, 25, 27, 29, 31, 33, 34, 35
D	Data (8 bit)	inout	V2, 4, 6, 8, 10, 12, 14, 16
R \overline{W}	Read \overline{Write}	out	V30
\overline{CS}	Chip select	out	V37
Sync	Sync	out	V18
Ready	Ready	in	V17

Zeitdiagramm

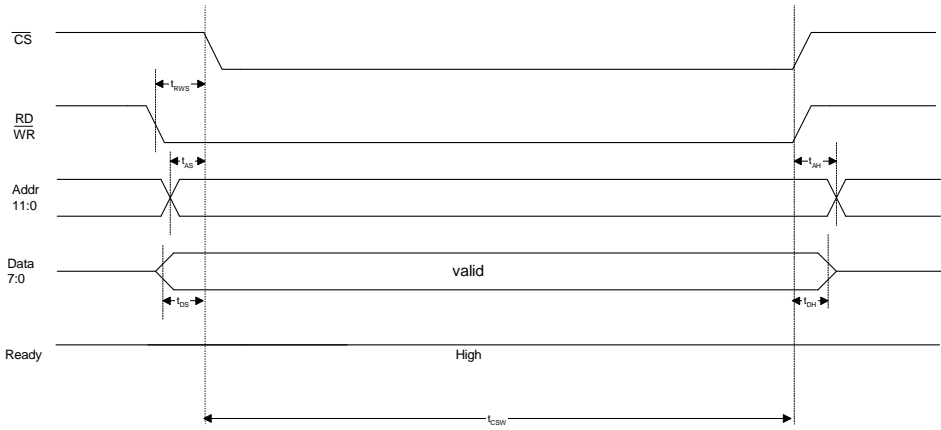
Read (without wait states)



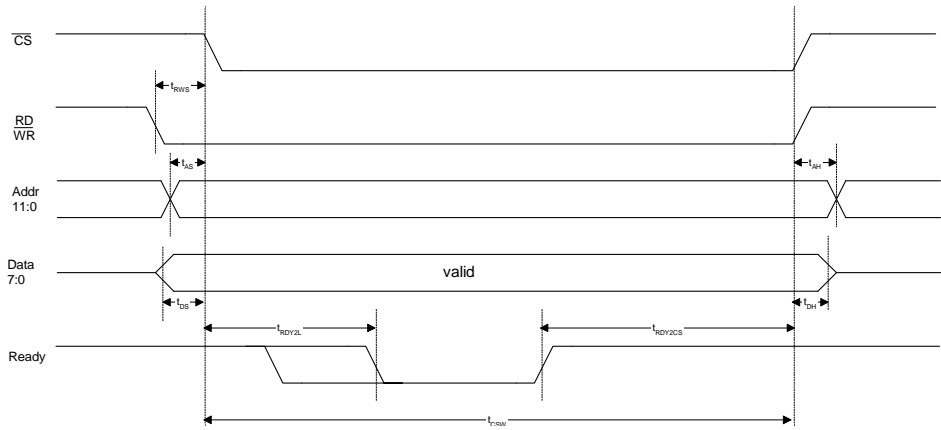
Read (with wait states)



Write (without wait states)



Write (with wait states)



Zeit-Kenndaten

Zeitvorgabe	Zeit (ns)		Beschreibung
	min.	max.	
t _{CSW}	220	-	Chip select low width
t _{RWS}	5	-	Read write setup time
t _{AS}	5	-	Address setup time
t _{DS}	5	-	Data setup time
t _{DH}	0	-	Data hold time
t _{AH}	5	-	Address hold time
t _{RDY2L}	120	-	Chip select to ready low time
t _{RDY2DV}	-	5	Ready to data valid time
t _{RDY2CS}	60	-	Ready to chip select

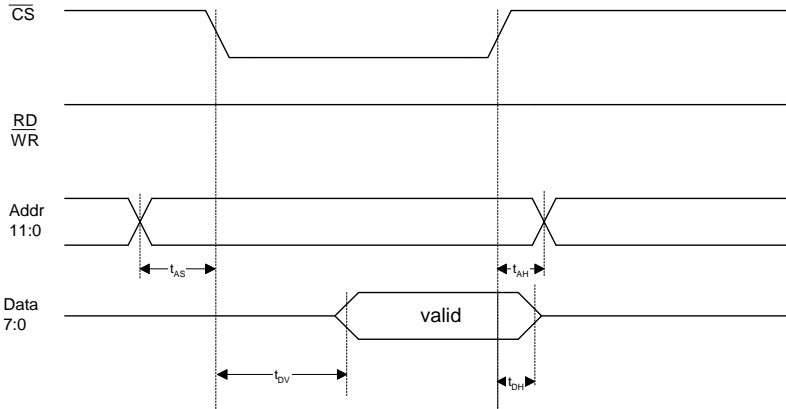
DPRAM-Modus

Im DPRAM-Modus ist das VEB ein Bus-Client. Ein externer Busmaster kann auf das DPRAM im FPGA zugreifen. Das DPRAM ist mit 4096 x 8 Bits auf beiden Seiten organisiert. Das Sync-Signal ist der Ausgang der PLL (sync out 0) – siehe VARAN-Bus-Spezifikation. Dieses Signal kann zur Synchronisation der Peripherie verwendet werden.

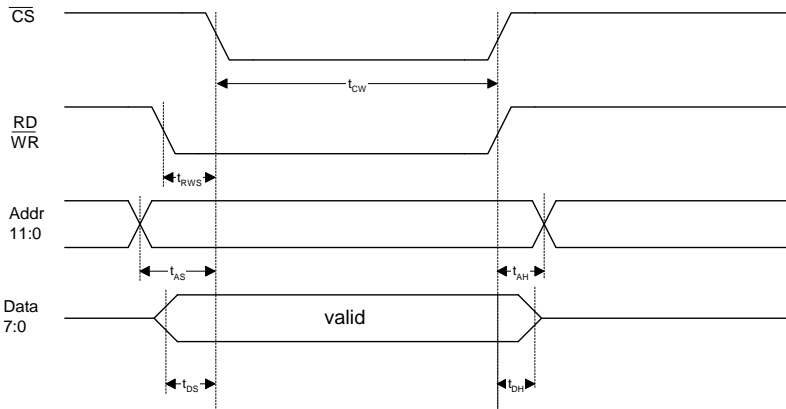
Name	Beschreibung	Port	Pins (0 bis ..)
A	Address (12 bit)	in	V19, 20, 21, 22, 23, 25, 27, 29, 31, 33, 34, 35
D	Data (8 bit)	inout	V2, 4, 6, 8, 10, 12, 14, 16
R/ \overline{W}	Read/ \overline{Write}	in	V30
\overline{CS}	$\overline{Chip\ select}$	in	V37
Sync	Sync	out	V18

Zeitdiagramm

Read



Write



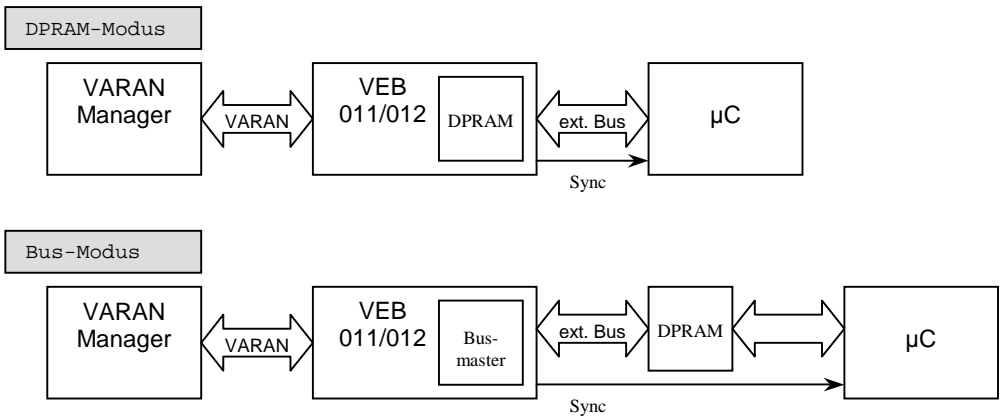
Zeit-Kenndaten

Zeitvorgabe	Zeit (ns)		Beschreibung
	min.	max.	
t_{CW}	55	-	Chip select to end of write
t_{RWS}	0	-	Read write setup time
t_{AS}	0	-	Address setup time
t_{DS}	0	-	Data setup time
t_{DH}	0	-	Data hold time
t_{AH}	0	-	Address hold time
t_{DV}	-	70	Chip select to data valid time

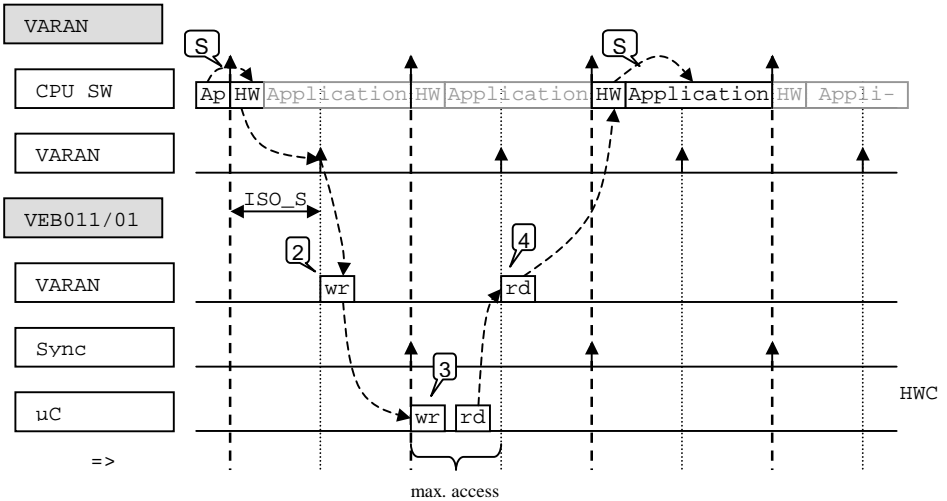
Zeitverhalten am VEB 011/012

Ein DPRAM bietet einem μC die Möglichkeit mit dem VARAN-System Daten auszutauschen. Das VEB011/012 stellt hierfür zwei Varianten zur Verfügung, zum einem die Verwendung des FPGA-internen DPRAM und zum anderem ein externes DPRAM. Damit die Datenkonsistenz im 4 kByte großen DPRAM gewährleistet werden kann, muss sich der μC auf den VARAN-Bus synchronisieren und darf nur im erlaubten Zeitfenster Daten austauschen. Das Sync-Signal gibt dem μC die Erlaubnis zum DPRAM-Zugriff. Der Datenaustausch muss innerhalb der halben VARAN-Systemzeit abgeschlossen sein, damit keine inkonsistente Daten entstehen.

Block Diagram



Zeitdiagramm



Hardware Class

- SW => Software
- wr => Write
- rd => Read
- ISO_S => ISO Start point (adjustable from 10 – 90 %)

Zeitliches Verhalten am VEB011/012

- 1 HW Class writes to DO RAM
- 2 VARAN writes to DPRAM 500 µs (half Cycle@1ms Cycle time)
- 3 µC writes and reads DPRAM
- 4 VARAN read from DPRAM 500 µs (half Cycle@1ms Cycle time)
- 5 HW Class reads from DO RAM

Adressierung

Adresse (hex)	Größe (Byte)	Zugriffs-Typ	Beschreibung	Reset-Wert
Memory				
0000	528	-	Reserved	
0210	1	r	VEB Mode Register Bit 0 .. 2 : Mode Bit 3 .. 7 : Reserved "000" Bus-Modus "001" IO-Modus "010" DPRAM-Modus	00
0211	15	-	Reserved	
0220	1	w	Digital Out Register Bit 0: OUT1 Bit 1: OUT2 Bit 2: OUT3 Bit 3: OUT4 Bit 4: OUT5 Bit 5: OUT6 Bit 6: OUT7 Bit 7: OUT8 (Zugriff nur im IO-Modus erlaubt)	00
0220	1	r	Digital Input Register Bit 0: IN1 Bit 1: IN2 Bit 2: IN3 Bit 3: IN4 Bit 4: IN5 Bit 5: IN6 Bit 6: IN7 Bit 7: IN8 (Zugriff nur im IO-Modus erlaubt)	
0221	1	w	Digital Out Register Bit 0: OUT9 Bit 1: OUT10 Bit 2: OUT11 Bit 3: OUT12 Bit 4: OUT13 Bit 5 .. 7: Reserved (Zugriff nur im IO-Modus erlaubt)	00
0221	1	r	Digital Input Register Bit 0: IN9 Bit 1: IN10 Bit 2: IN11 Bit 3: IN12 Bit 4: IN13 Bit 5: IN14 Bit 6: IN15 Bit 7: IN16 (Zugriff nur im IO-Modus erlaubt)	

0222	3550	-	Reserved	
1000	4096	r/w	Bus Master (Zugriff nur im Bus-Modus erlaubt) Note: These registers have a slower processing time of the VARAN client. $t_{client} = 230 \text{ ns} + 300 \text{ ns/byte}$ (see VARAN Bus timing in the VARAN Bus specification)	
2000	4096	r/w	DPRAM (Zugriff nur im DPRam-Modus erlaubt)	

Näheres über den VARAN-Bus bitte der VARAN-Bus-Spezifikation entnehmen!

Schirmungsempfehlung VARAN

Das Echtzeit Ethernet Bussystem VARAN weist ein sehr robustes Verhalten im industriellen Umfeld auf. Durch die Verwendung der Standard Ethernetphysik nach IEEE 802.3 erfolgt eine Potentialtrennung zwischen einer Ethernetleitung und den Empfänger- bzw. Senderkomponenten. Nachrichten an einen Busteilnehmer werden im Fehlerfall durch den VARAN Manager sofort wiederholt. Es wird prinzipiell empfohlen die unten angeführten Schirmungsempfehlungen einzuhalten.

Bei Anwendungsfällen in welchen die Busleitung außerhalb des Schaltschranks verlegt werden muss, ist stets auf eine korrekte Schirmung zu achten. Insbesondere, wenn die Busleitung aus baulichen Gründen neben starken elektromagnetischen Störquellen verlegt werden muss. Es wird empfohlen, VARAN-Bus-Leitungen nach Möglichkeit nicht parallel mit leistungsführenden Kabeln zu verlegen.

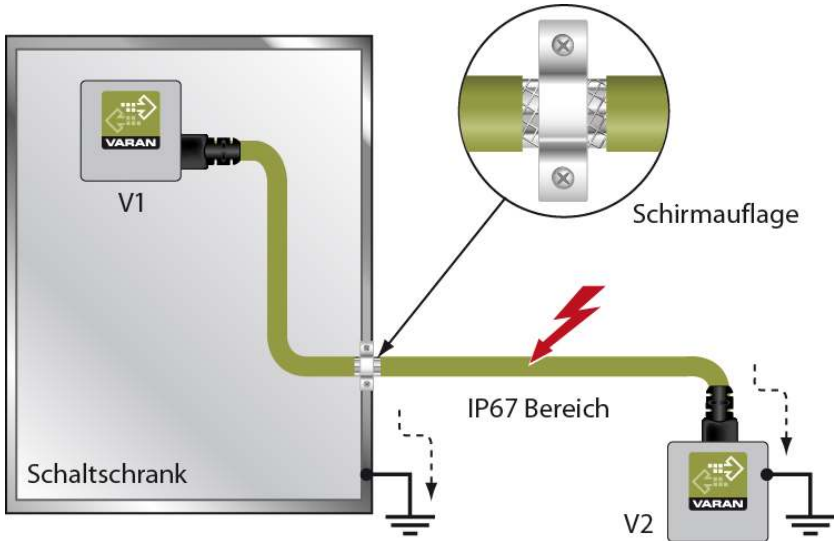
Die Firma SIGMATEK empfiehlt die Verwendung von Industrial Ethernet Busleitungen nach **CAT5e**.

Bei den Schirmungsvarianten wird empfohlen eine **S-FTP Busleitung** zu verwenden. Es handelt sich dabei um ein symmetrisches mehradriges Kabel mit ungeschirmten Paaren. Als Gesamtschirmung wird ein kombinierter Schirm aus Folie und Geflecht verwendet. Es wird empfohlen eine unlackierte Variante zu verwenden.

Das VARAN-Kabel ist im Abstand von 20 cm vom Stecker gegen Vibrationen zu sichern!

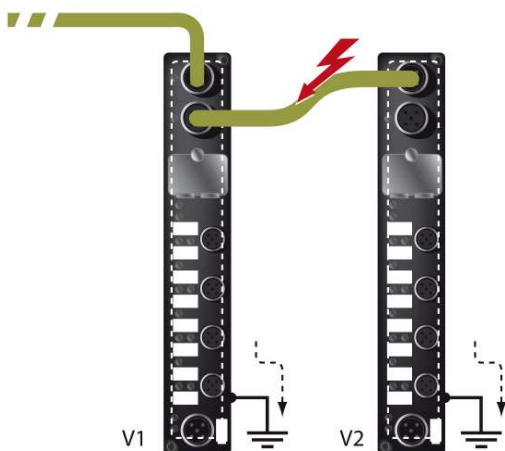
1. Leitungsführung vom Schaltschrank zu einer externen VARAN-Komponente

Wenn die Ethernet-Leitung von einer VARAN-Komponente zu einem VARAN-Knoten außerhalb des Schaltschranks erfolgt, so wird empfohlen die Schirmung am Eintrittspunkt des Schaltschrankgehäuses aufzulegen. Alle Störungen können dadurch vor den Elektronikkomponenten frühzeitig abgeleitet werden.



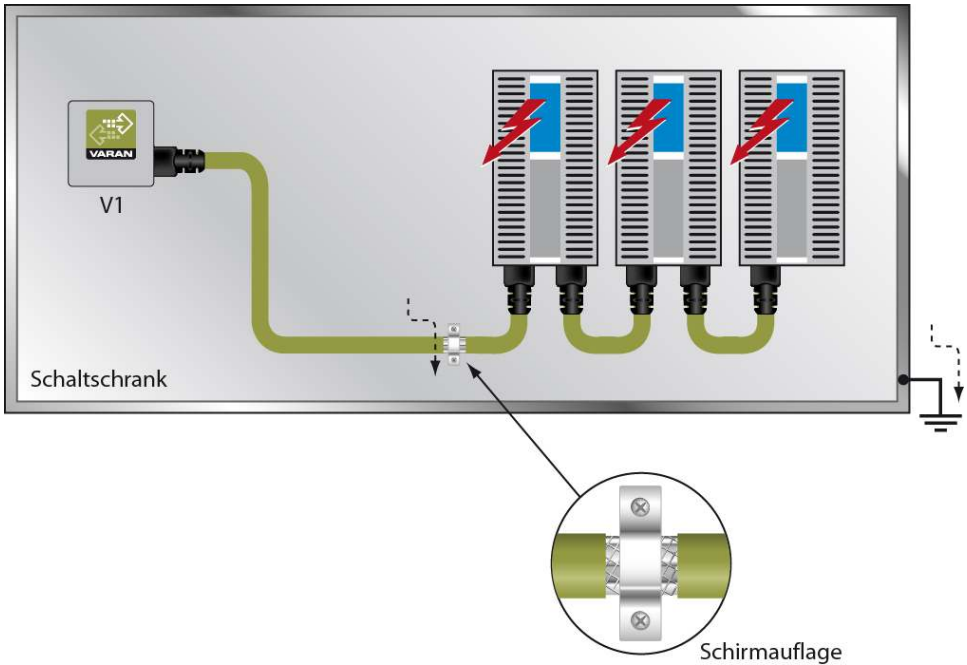
2. Leitungsführung außerhalb eines Schaltschranks

Wenn eine VARAN-Bus Leitung ausschließlich außerhalb des Schaltschranks verlegt wird, ist keine zusätzliche Schirmauflage erforderlich. Voraussetzung dafür ist, dass ausschließlich IP67-Module und Steckverbindungen verwendet werden. Diese Komponenten weisen eine sehr robuste und störteste Bauweise auf. Die Schirmung aller Buchsen von IP67-Modulen wird gemeinsam intern oder über das Gehäuse elektrisch verbunden, wobei die Ableitung von Spannungsspitzen dabei nicht durch die Elektronik erfolgt.



4. Anschluss von störungsbehafteten Komponenten

Beim Busanschluss von Leistungsteilen, welche starke elektromagnetische Störquellen darstellen, ist ebenfalls auf die Schirmungsausführung zu achten. Vor einem einzelnen Leistungsteil (oder einer Gruppe aus Leistungsteilen) sollte die Schirmung aufgelegt werden.



5. Schirmung zwischen zwei Schaltschränken

Müssen zwei Schaltschränke mit einer VARAN-Bus Leitung verbunden werden, so wird empfohlen, den Schirm an den Eintrittspunkten der Schaltschränke aufzulegen. Störungen können dadurch nicht bis zu den Elektronikkomponenten im Schaltschrank vordringen.

