

VARAN Client Board

VEB 011C

Versatile Automation Random Access Network

Dieses Client-Board dient dazu, alle möglichen Peripherie-Geräte auf einfache Weise mit dem VARAN-Bus auszustatten.

Der Datenaustausch kann über CANopen oder DPRAM erfolgen.



Technische Daten

Leistungsdaten

Interner Speicher	Serieller 4-MBit-Flash
Schnittstellen	1 x VARAN (Client) (maximale Leitungslänge: 100 m) 1 x Peripherie-Interface
Verbindung zum Peripherie-Gerät	Über 50-pol. Board-to-Board-Steckverbinder, Rastermaß 0,8 mm (Typ ERNI Microstac, Best.-Nr. 114713)

Elektrische Anforderungen

Interne Versorgungsspannung (VDD)	Typisch +3,3 V DC ($\pm 4\%$) (wird vom Peripherie-Gerät, über 50-pol. Steckverbinder, zur Verfügung gestellt)
Stromaufnahme Versorgungsspannung	Minimal 250 mA (abhängig von der externen Beschaltung)

Sonstiges

Artikelnummer	16-081-011C
Hardwareversion	1.x

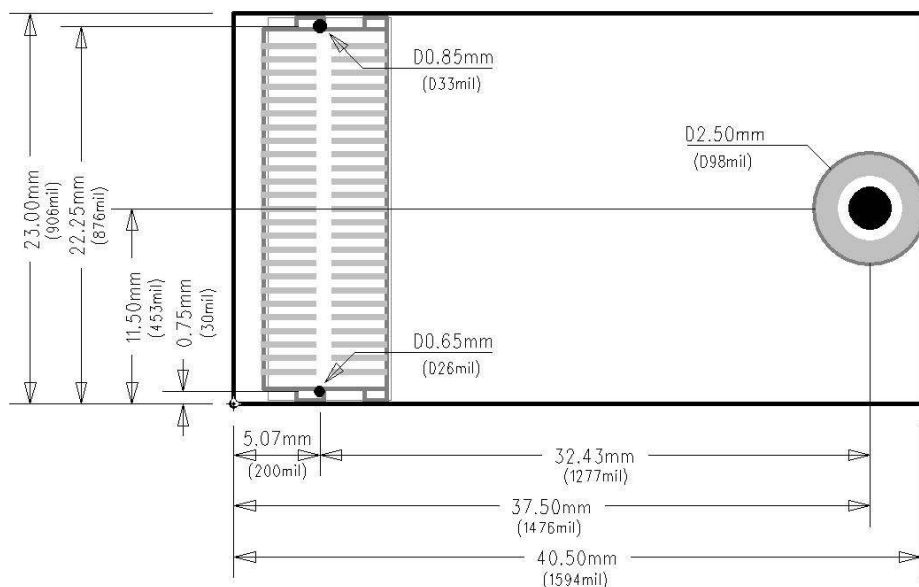
Umgebungsbedingungen

Lagertemperatur	-20 – +85 °C
Betriebstemperatur ¹⁾	0 – 85 °C
Luftfeuchtigkeit	0 – 95 %, nicht kondensierend
EMV-Festigkeit	²⁾
Schockfestigkeit	150 m/s ²

¹⁾ lt. Bauteilspezifikationen. Die Betriebstemperatur des Gesamtgerätes muss für jede Applikation eigens definiert werden, da die Betriebsbedingungen (Einbaulage, Gehäuse, Wärmequellen in der Nähe des VEBs) nicht bekannt sind.

²⁾ Die EMV-Festigkeit muss für jede Anwendung gesondert im Gesamtsystem getestet werden.

Mechanische Abmessungen



Die Bemaßung der Zentrierbohrungen des 50-poligen ERNI Board-to-Board-Steckverbinders gilt für die Stecker auf der Basisplatte (zeigt nicht die Position der Steckverbinder auf dem VEB).

Das VEB ist in dieser Zeichnung von der Stecker-Rückseite gesehen.

Die Bauteilhöhe auf der Basisplatte unter dem VEB darf nicht mehr als 3 mm betragen.

1 Basics

Verschiedene Modes für die Kommunikation können zum Einsatz kommen. Diese werden in Kapitel 3 beschrieben. Der Mode wird hardwaremäßig über 3 Pins eingestellt (2.1), kann aber auch softwaremäßig überschrieben werden (2.2.1).

Das vorliegende Dokument ist als Unterstützung für den Programmierer gedacht. Alle benötigten Informationen um ein Programm bzw. einen Client zu erstellen sollten enthalten sein.

1.1 Verbindungsstecker

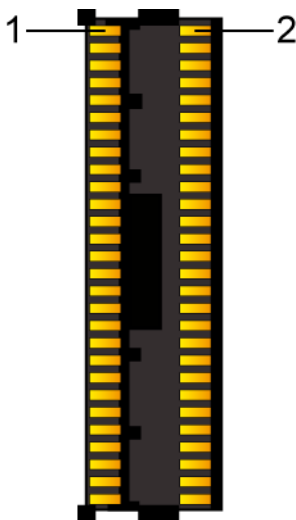


Abbildung 3: Verbindungsstecker

2 Programmierung

2.1 VEB 011C Pinbelegung

Pin	Identifier	DPRAM Mode		DPRAM Mode auto-increment		CANopenMode		CANopenMode auto-increment	
1		GND		GND		GND		GND	
2		GND		GND		GND		GND	
3	V2	D0	IO	D0	IO	D0	IO	D0	IO
4	V1	-		-		-		-	
5	V4	D1	IO	D1	IO	D1	IO	D1	IO
6	V3	-		-		-		-	
7	V6	D2	IO	D2	IO	D2	IO	D2	IO
8	V5	-		-		-		-	
9	V8	D3	IO	D3	IO	D3	IO	D3	IO
10	V7	-		-		-		-	
11	V10	D4	IO	D4	IO	D4	IO	D4	IO
12	V9	IRQ	Out	IRQ	Out	IRQ	Out	IRQ	Out
13	V12	D5	IO	D5	IO	D5	IO	D5	IO
14	V11	Mode0		Mode0		Mode0		Mode0	
15	V14	D6	IO	D6	IO	D6	IO	D6	IO
16	V13	Mode1		Mode1		Mode1		Mode1	
17	V16	D7	IO	D7	IO	D7	IO	D7	IO
18	V15	Mode2		Mode2		Mode2		Mode2	
19		VDD		VDD		VDD		VDD	
20		VDD		VDD		VDD		VDD	
21		GND		GND		GND		GND	
22	V17	Ready	Out	Ready	Out	Ready	Out	Ready	Out
23		Phy_RX+		Phy_RX+		Phy_RX+		Phy_RX+	
24	V18	Sync	Out	Sync	Out	Sync	Out	Sync	Out
25		Phy_RX-		Phy_RX-		Phy_RX-		Phy_RX-	
26	V19	A0	In	A0	In	A0	In	A0	In
27		Phy_TX+		Phy_TX+		Phy_TX+		Phy_TX+	
28	V20	A1	In	A1	In	A1	In	A1	In
29		Phy_TX-		Phy_TX-		Phy_TX-		Phy_TX-	
30	V21	A2	In	-		A2	In	-	
31		VB +3V3		VB +3V3		VB +3V3		VB +3V3	
32	V22	A3	In	-		A3	In	-	
33	V24	CLK 25 MHz	Out	CLK 25 MHz	Out	CLK 25 MHz	Out	CLK 25 MHz	Out
34	V23	A4	In	-		A4	In	-	
35	V26	/Periphery Reset	Out	/Periphery Reset	Out	/Periphery Reset	Out	/Periphery Reset	Out
36	V25	A5	In	-		A5	In	-	
37	V28	-		-		-		-	
38	V27	A6	In	--		A6	In	-	
39	V30	R / W	In	R / W	In	R / W	In	R / W	In

40	V29	A7	In	--		A7	In	-	
41	V32	-		-		-		-	
42	V31	A8	In	--		A8	In	-	
43		/Phy_led_link		/Phy_led_link		/Phy_led_link		/Phy_led_link	
44	V33	A9	In	--		A9	In	-	
45		/Phy_led_active		/Phy_led_active		/Phy_led_active		/Phy_led_active	
46	V34	A10	In	--		A10	In	-	
47	V36	-		-		-		-	
48	V35	A11	In	-		A11	In	-	
49		GND		GND		GND		GND	
50	V37	/CS	In	/CS	In	/CS	In	/CS	In

Tabelle 1: Pinbelegung

2.1.1 Timing synchron Manager zu Client (MnPDO)

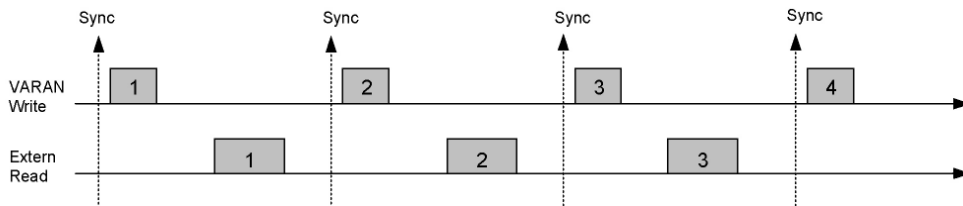


Abbildung 5: Client liest Daten vom Manager, synchroner Fall

In diesem Fall ist der μC (Client) synchron zum VARAN – System. Dies ist der einfachste Fall. Nachfolgend werden verschiedenste Varianten dargestellt.

2.1.2 Timing asynchron (μC schneller) Manager zu Client (MnPDO)

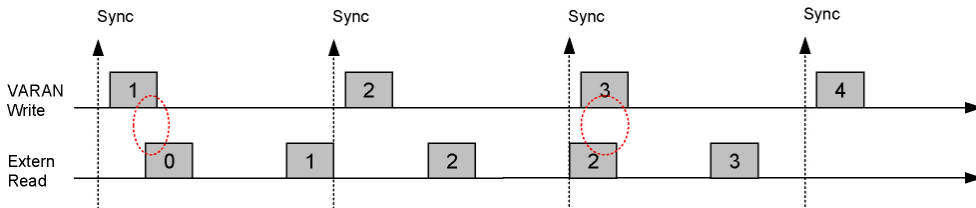


Abbildung 6: Client liest Daten vom Manager, asynchron schneller

Man erkennt, dass der μC (Client) schneller arbeitet als das VARAN – System. Die Überlappungen (markiert) sind die interessanten Fälle. So lange neue Daten nicht vollständig vom VARAN – System geschrieben sind, werden vom Client die alten Daten gelesen (möglich durch den Wechselpuffer). Dieser Mechanismus gewährleistet konsistente Daten.

2.1.3 Timing asynchron (µC langsamer) Manager zu Client (MnPDO)

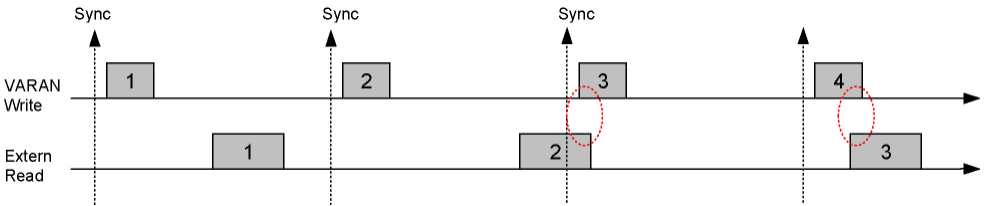


Abbildung 7: Client liest Daten vom Manager, asynchron langsamer

In diesem Fall arbeitet der µC (Client) langsamer als das VARAN – System. Datenkonsistenz ist wie in Punkt 2.1.2 gewährleistet.

2.1.4 Kritisches Timing Manager zu Client (MnPDO)

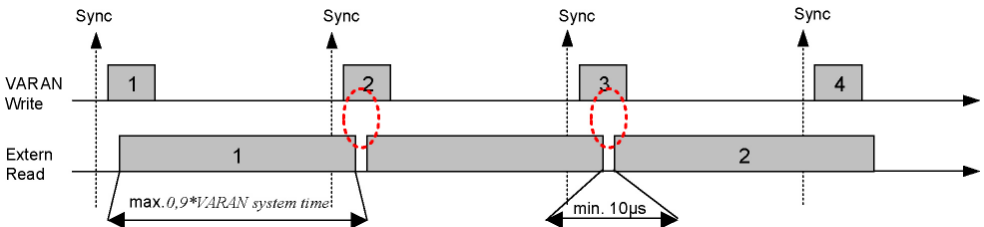


Abbildung 8: Kritisches Timing, Client liest Daten vom Manager

Die maximal Lesezeit des externen Systems beträgt $0,9 \cdot \text{VARAN-System-Zeit}$ und der minimale Abstand zwischen zwei Schreibprozessen ist $10 \mu\text{s}$. Das Setzen von Bit 0 im Switch Alternate Byte ist ein Schreibzugriff.

2.1.5 Timing synchron Client zu Manager (CIPDO)

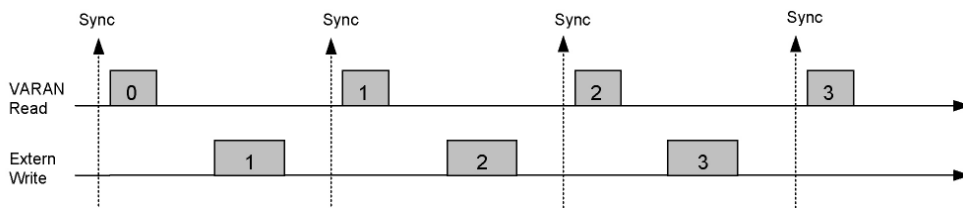


Abbildung 10: Client zu Manager, synchron

Der μC (Client) ist mit dem VARAN – System synchron. Daten die vom μC in einer Periode geschrieben werden, können in der folgenden vom Manager gelesen werden.

2.1.6 Timing asynchron (µC schneller) Client zu Manager (CIPDO)

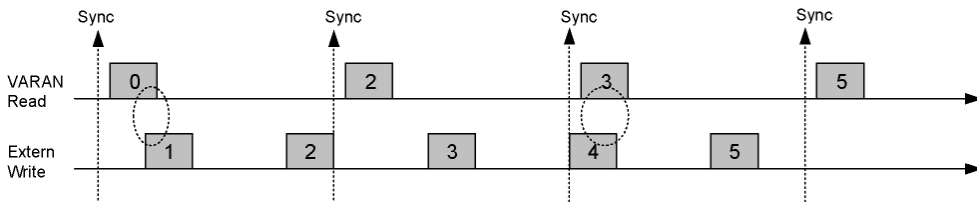


Abbildung 11: Client zu Manager, asynchron schneller

In diesem Fall arbeitet der µC (Client) schneller als das VARAN – System. Der Wechsepuffer gewährt konsistente Daten. Neue Daten werden vom Manager erst gelesen, wenn sie vom µC komplett geschrieben sind. Wie mit Paket 4 dargestellt kann es vorkommen, dass gesendete Daten vor dem Lesen überschrieben werden.

2.1.7 Timing asynchron (µC langsamer) Client zu Manager (CIPDO)

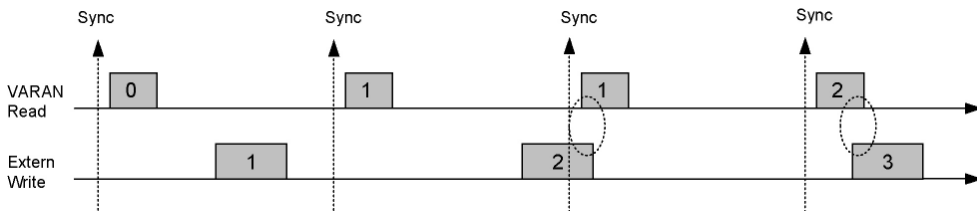


Abbildung 12: Client zu Manager, asynchron langsamer

Der µC (Client) arbeitet langsamer als das VARAN System. Daten werden erst nach vollständigem Schreiben gelesen. Datenkonsistenz ist gewährleistet.

2.1.8 Kritisches Timing Client zu Manager (CIPDO)

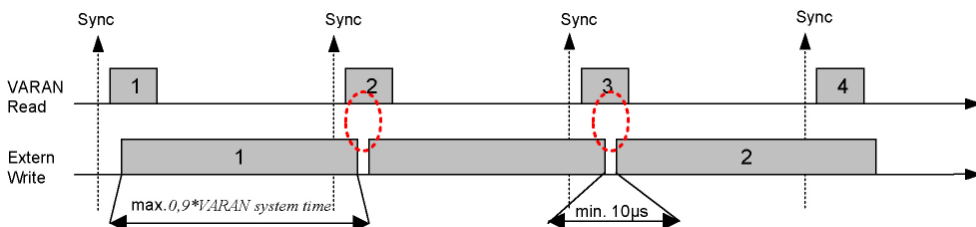


Abbildung 13: Kritisches Timing, Client zu Manager

Die maximale Zeit, die der μC (Client) zum Schreiben benötigen darf beträgt $0,9 * VARAN\text{-}System\text{-}Zeit$, die minimale Zeit zwischen zwei Schreibzugriffen beträgt $10 \mu s$.

2.2 Address Mapping

2.2.1 CANopen Manager (VARAN Seite)

Address (hex)	Size (Byte)	Access Type:	Description	Reset value
Memory				
0000	2	r	Protocol Mode Bit 0: 1=CANopen, 0=Invalid Bit 1 to 15: Reserved	0001
0002	2	r	Start Address of VARAN Client Control Address Space	0800
0004	2	r	Start Address of MnPDO	0100
0006	2	r	Start Address of CIPDO	0180
0008	2	r	Start Address of MnSDO	0200
000A	2	r	Start Address of CISDO	0280
000C	244	-	Reserved	
0100	16	-	MnPDO Reserved	
0110	1	r/w	MnPDO (Process Data Object Master to Client) Bit 0 to 5 : Message Counter Bit 6 to 7 : Reserved	
0111	1	r/w	MnPDO reserved for NMT	
0112	1	r/w	MnPDO Mapping	
0113	1	r/w	CIPDO Mapping	
0114	64	r/w	MnPDO Data	
0154	44	-	Reserved	
0180	16	-	CIPDO Reserved	
0190	1	r	CIPDO (Process Data Object Client to Master) Bit 0 to 5 : Message Counter Bit 6 : Reserved Bit 7 : Error	00
0191	1	r	CIPDO Nodestate	00
0192	1	r	MnPDO Mapping	00
0193	1	r	CIPDO Mapping	00
0194	64	r	CIPDO Data	00
01D4	44	-	Reserved	
0200	16	-	MnSDO Reserved	
0210	1	r/w	MnSDO (Service Data Object Master to Client) Bit 0 to 5 : Message Counter Bit 6 to 7 : Reserved	00

0211	1	r/w	MnSDO reserved for NMT	00
0212	64	r/w	MnSDO Data	00
0252	46	-	Reserved	
0280	16	-	CISDO Reserved	
0290	1	r	CISDO (Service Data Object Client to Master) Bit 0 to 5 : Message Counter Bit 6 : Reserved Bit 7 : Error	00
0291	1	r	CISDO Nodestate	00
0292	64	r	CISDO Data	00
02D2	1326	r/w	Reserved	
0800	2048	-	Reserved	
1000	2032	r/w	DPRAM	
17F0	2064	-	Reserved	
2000	1	r/w	VEB011 Mode Register Bit 7 .. 3 : Reserved Bit 2 .. 0 : Mode 000 Bus mode (not available in VEB011C) 001 IO mode (not available in VEB011C) 010 DPRAM mode without auto increment 011 DPRAM mode with auto increment 100 CANopen without auto increment 101 CANopen with auto increment	Mode pins
2001	1	r/w	Sync Mode Register Bit 7 .. 3 : Reserved Bit 2 : 1 = Enable tristate buffer for sync/veb_irq output Bit 1 : 1 = Sync/veb_irq output is active low, 0 = active high Bit 0 : 1 = Enable Sync Quitting Mode 0 = Enable Pulse width Register	00
2002	2	r/w	Sync Pulse width Register Bit 15 .. 0 : Value in steps of 20ns (e.g. 5 = 100ns)	0000

Tabelle 2: Address Mapping Manager

2.2.2 CANopen Mode (µC Seite)

Address (hex)	Size (Byte)	Access Type:	Description	Reset value
0000	2	r	Protocol Mode Bit 0: 1=CANopen, 0=Invalid Bit 1 to 15: Reserved	0001
0002	2	r	Start Address of VARAN Client Control Address Space	0800
0004	2	r	Start Address of MnPDO	0100
0006	2	r	Start Address of CIPDO	0180
0008	2	r	Start Address of MnSDO	0200
000A	2	r	Start Address of CISDO	0280
000C	244	-	Reserved	
0100	16	-	MnPDO Reserved	
0110	1	r	MnPDO (Process Data Object Master to Client) Bit 0 to 5 : Message Counter Bit 6 to 7 : Reserved For handling the alternating buffer, read this register before NMT and data	00
0111	1	r	MnPDO reserved for NMT	00
0112	1	r	MnPDO Mapping	00
0113	1	r	CIPDO Mapping	00
0114	64	r	MnPDO Data	00
0154	44	-	Reserved	
0180	16	-	CIPDO Reserved	
0190	1	r/w	CIPDO (Process Data Object Client to Master) Bit 0 to 5 : Message Counter Bit 6 : Reserved Bit 7 : Error For handling the alternating buffer, write this register after nodestate and data	00
0191	1	r/w	CIPDO Nodestate	00
0192	1	r/w	MnPDO Mapping	00
0193	1	r/w	CIPDO Mapping	00
0194	64	r/w	CIPDO Data	00
01D4	44	-	Reserved	

0200	16	-	MnSDO Reserved	
0210	1	r	MnSDO (Service Data Object Master to Client) Bit 0 to 5 : Message Counter Bit 6 to 7 : Reserved Reading this register cleans DDOIRQ	00
0211	1	r	MnSDO reserved for NMT	00
0212	64	r	MnSDO Data	00
0252	46	-	Reserved	
0280	16	-	CISDO Reserved	
0290	1	r/w	CISDO (Service Data Object Client to Master) Bit 0 to 5 : Message Counter Bit 6 : Reserved Bit 7 : Error	00
0291	1	r/w	CISDO Nodestate	00
0292	64	r/w	CISDO Data	00
02D2	1326	r/w	Reserved	
0800	1792	r/w	VARAN Control Address Space See in VARAN Design Spec	
0F00	4	w32	Transmit FIFO Data Input	-
0F04	4	w32	Transmit FIFO Frame Length Write frame length before filling the FIFO Bit 10 .. 0 : Frame Length (in Bytes max. 1518)	-
0F08	4	r32	Receive FIFO Data Output	-
0F0C	4	r32	Receive FIFO Frame Length (in Bytes) 0 = no valid frame in FIFO	00000000
0F10	4	r	Available Registers in Transmit FIFO (in Bytes)	00000000
0F14	4	w	FIFO Control register Bit 0 : 1 = Reset Transmit FIFO Bit 1 : 1 = Reset Receive FIFO	-
0F14	4	r	FIFO Status register (IRQ Quit register) Bit 0 : 1 = frame transmitted Bit 1 : 1 = frame received (valid frame is in FIFO) Bit 2 : 1 = transmit FIFO error (Transmit FIFO Frame Length > 1518, or writing false values of bytes in FIFO) Bit 3 : 1 = receive FIFO error (Read Receive FIFO when no valid frame)	00000000
0F18	4	r/w	Interrupt enable register Bit 0 : 1 = frame transmitted Bit 1 : 1 = frame received Bit 2 : 1 = transmit FIFO error Bit 3 : 1 = receive FIFO error	00000000

0F1C	4	r/w	Receive MAC Filter register Bit 0 : 1 = Unicast enable (Destination address = MAC address) Bit 1 : 1 = Broadcast enable (Destination address = 16#FFFFFFFFFFFF) Bit 2 : 1 = Promiscuous enable (all destination address are received)	00000000
0F20	6	r/w	MAC Address	00000000 0000
0F26	1	r/w	Port Control / Link Status register Bit 0 : 1 = Link established (read only) Transmitting is only allowed, when Link is established Bit 1 : 1 = Port enable (Port must be enabled before transmitting)	00
0F27	187	-	Reserved	
0FE1	1	r/w	System IRQ Register Bit 0 : 1 = CANopen SDO data/message counter change Interrupt Bit 1 : 1 = EMAC Interrupt Bit 2 to 7 : Reserved	00
0FE2	1	-	Reserved	00
0FE3	1	r/w	System Interrupt Enable Register Bit 0 : 1 = CANopen SDO Interrupt enabled Bit 1 : 1 = EMAC Interrupt enabled	00
0FE4	12	-	Reserved	00
0FF0	1	w	Sync Quitting Register Bit 0 : 1 = Clears Sync interrupt Bit 1 to 7 : Reserved	00
0FF1	15	-	Reserved	

Tabelle 3: Address Mapping Client

2.2.3 DPRAM Modus (µC Seite)

Address (hex)	Size (Byte)	Access Type:	Description	Reset value
0000	2048	r/w	DPRAM (In DPAM Mode)	00
0800	1792	r/w	VARAN Control Address Space See in VARAN Design Spec	
0F00	4	w32	Transmit FIFO Data Input	-
0F04	4	w32	Transmit FIFO Frame Length Write frame length before filling the FIFO Bit 10 .. 0 : Frame Length (in Bytes max. 1518)	-
0F08	4	r32	Receive FIFO Data Output	-

0F0C	4	r32	Receive FIFO Frame Length (in Bytes) 0 = no valid frame in FIFO	00000000
0F10	4	r	Available Registers in Transmit FIFO (in Bytes)	00000000
0F14	4	w	FIFO Control register Bit 0 : 1 = Reset Transmit FIFO Bit 1 : 1 = Reset Receive FIFO	-
0F14	4	r	FIFO Status register (IRQ Quit register) Bit 0 : 1 = frame transmitted Bit 1 : 1 = frame received (valid frame is in FIFO) Bit 2 : 1 = transmit FIFO error (Transmit FIFO Frame Length > 1518, or writing false values of bytes in FIFO) Bit 3 : 1 = receive FIFO error (Read Receive FIFO when no valid frame)	00000000
0F18	4	r/w	Interrupt enable register Bit 0 : 1 = frame transmitted Bit 1 : 1 = frame received Bit 2 : 1 = transmit FIFO error Bit 3 : 1 = receive FIFO error	00000000
0F1C	4	r/w	Receive MAC Filter register Bit 0 : 1 = Unicast enable (Destination address = MAC address) Bit 1 : 1 = Broadcast enable (Destination address = 16#FFFFFFFFFFFF) Bit 2 : 1 = Promiscuous enable (all destination address are received)	00000000

3 Modes - Beschreibung

In der folgenden Tabelle werden die verschiedenen Modes, die zur Auswahl stehen, aufgelistet. Siehe auch Address mapping (2.2.1) und Pinbelegung (2.1).

Mode2	Mode1	Mode0	Mode
0	0	0	"000" Bus Mode (not available for VEB011C)
0	0	1	"001" IO Mode (not available for VEB011C)
0	1	0	"010" DPRAM Mode (without address auto-increment)
0	1	1	"011" DPRAM Mode (with address auto-increment)
1	0	0	"100" CANopen Mode (without address auto-increment)
1	0	1	"101" CANopen Mode (with address auto-increment)

Tabelle 4: Modes

3.1 DPRAM Mode

Ein externer μC kann auf das DPRAM, den Ethernet MAC sowie auf den VARAN – Control-Bereich zugreifen.

Siehe 2.2.3

3.2 CANopen Mode

Ein externer μC kann auf den CANopen Wechsellpuffer, den Ethernet MAC sowie auf den VARAN – Control-Bereich zugreifen.

Siehe Address Mapping 2.2.2

3.3 Non auto-increment mode

Im DPRAM und CANopen Mode ist die Verwendung der Pins dieselbe. Der Bus unterstützt 12 Adressleitungen und 8 Datenleitungen. Das kombinierte Read/Write Signal ist read high active und write low active. Das Chip select ist low active. Sync and Ready sind high active.

3.4 Auto-increment mode

Im DPRAM und CANopen Mode ist die Verwendung der Pins dieselbe. Der Unterschied zum Non auto-increment mode ist, dass nur 2 Adressleitungen verwendet werden. Dies ermöglicht es, Ports am µC zu sparen und eventuell auch billigere Modelle einzusetzen, was einen Kostenvorteil mit sich bringt.

3.4.1 Address Mapping Auto-increment mode

Address (bin)	Size (Byte)	Access Type:	Description	Reset value
00	1	w	Address (lower byte) Bit 7 .. 0 : Address bits 7 .. 0	-
01	1	w	Address (higher byte) Bit 7 .. 4 : Reserved Bit 3 .. 0 : Address bits 11 .. 8	-
10	1	w	Write Data Bit 7 .. 0 : Data bits 7 .. 0	-
10	1	r	Read Data Bit 7 .. 0 : Data bits 7 .. 0	00

Tabelle 6: Address Mapping Auto Increment Mode

3.4.2 Software Handling Auto Increment Mode

Write

1. Schreiben von Lower Byte des Adressregisters
2. Schreiben des Higher Byte des Adressregisters
3. Daten schreiben, Auto-increment

Read

4. Schreiben von Lower Byte des Adressregisters
5. Schreiben des Higher Byte des Adressregisters
6. Daten lesen, Auto-increment

3.4.3 Beispiel Schreiben

2 Bytes auf Adresse 1234 (hex)

1. Auf Adresse 00 (bin) die Daten 34 (hex) schreiben
2. Auf Adresse 01 (bin) die Daten 12 (hex) schreiben
3. Auf Adresse 10 (bin) erstes Byte schreiben
4. Auf Adresse 10 (bin) zweites Byte schreiben

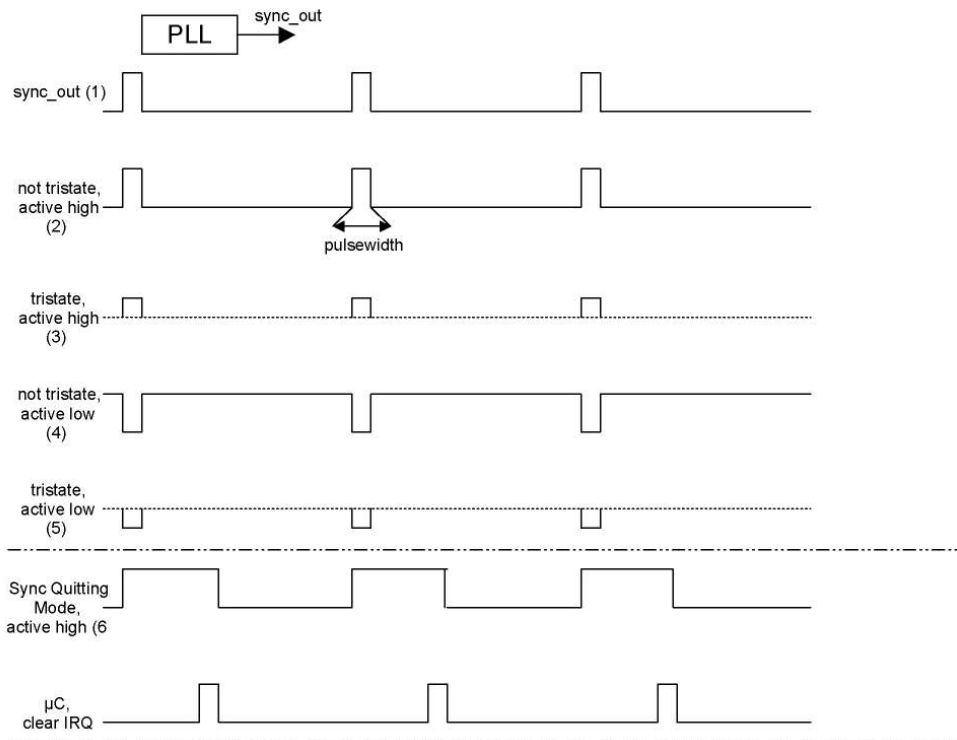
3.4.4 Beispiel Lesen

4 Bytes von Adresse 5678 (hex)

1. Auf Adresse 00 (bin) die Daten 78 (hex) schreiben
2. Auf Adresse 01 (bin) die Daten 56 (hex) schreiben
3. Von Adresse 10 (bin) erstes Byte lesen
4. Von Adresse 10 (bin) zweites Byte lesen
5. Von Adresse 10 (bin) drittes Byte lesen
6. Von Adresse 10 (bin) viertes Byte lesen

3.5 Sync Modes

Das Sync Mode Register bietet die Möglichkeit das Synchronisationsverhalten zu beeinflussen.



Wie man in den Abbildungen 2 und 4 beobachten kann, wird zwischen active high und active low unterschieden (Bit 1). Weiters kann der Sync Quitting Mode aktiviert werden (Bit 0). In diesem Fall gibt der μC eine Rückmeldung wie man in 6 feststellt.

Um Beschädigungen am Ausgangstreiber vorzubeugen kann die Option tristate buffer (Bit 2) aktiviert werden (3 und 5).

Bit 0 des Sync Mode Registers kann auch das Pulsweitenregister aktivieren. Werte können in 20 ns Schritten eingestellt werden.

3.6 Interruptausgang

Der Interruptausgang des VEB 011C kann über die gleichen Register wie der Sync auf low-active, high-active bzw. tristate konfiguriert werden.

Tritt ein Interrupt auf, so wird der Ausgang aktiv und im VEB IRQ Register kann festgestellt werden, welche Quelle den Interrupt verursacht hat. Mögliche Quellen sind CANopen bzw. EMAC, unter der Voraussetzung, dass diese zuvor im VEB Interrupt Enable Register eingeschalten worden sind. Der Interrupt muss im jeweiligen Register quittiert werden, damit der Interruptausgang inaktiv wird (z.B. EMAC FIFO Status register – IRQ Quit register)

4 Externes Timing

4.1 Lesen

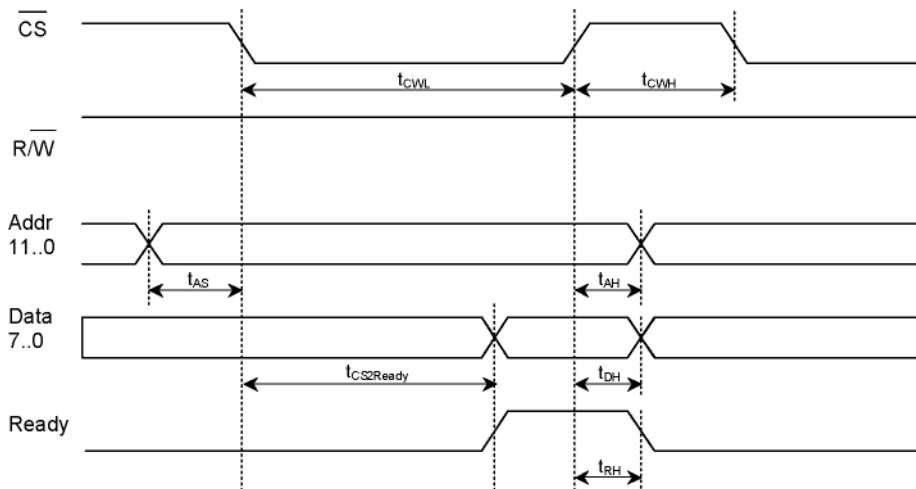


Abbildung 14: Externes Timing lesen

4.2 Schreiben

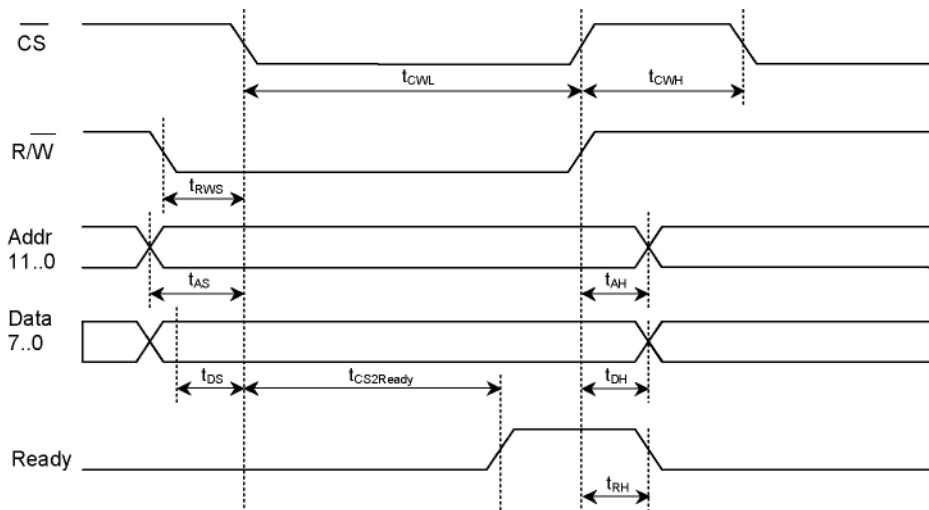


Abbildung 15: Externes Timing schreiben

5 Zeitcharakteristik

Timing	Time (ns)		Description
	min.	max.	
t _{CWL}	185	-	Chip select width low
t _{CWH}	40	-	Chip select width high
t _{RWS}	0	-	Read write setup time
t _{AS}	0	-	Address setup time
t _{DS}	0	-	Data setup time
t _{DH}	0	-	Data hold time
t _{AH}	0	-	Address hold time
t _{RH}	0	-	Ready hold time
t _{CS2READY} *	-	165	Chip select to ready time (fast) CANopen, DPRAM registers
t _{CS2READY} *	225	5345	Chip select to ready time (slow) VARAN control address space registers

Tabelle 7: Zeitcharakteristik

***Vorsicht:** Wartezeit t_{CS2READY} hängt vom verwendeten Register ab!

6 Abkürzungsverzeichnis

µC	Microcontroller
PDO	Process Data Object
SDO	Service Data Object
Mn	Manager
CI	Client
MnPDO	Manager Process Data Object
MnSDO	Manager Service Data Object
CIPDO	Client Process Data Object
CISDO	Client Service Data Object

CAN in Automation ist Besitzer der Trademark CANopen ®

Schirmungsempfehlung VARAN

Das Echtzeit Ethernet Bussystem VARAN weist ein sehr robustes Verhalten im industriellen Umfeld auf. Durch die Verwendung der Standard Ethernetphysik nach IEEE 802.3 erfolgt eine Potentialtrennung zwischen einer Ethernetleitung und den Empfänger- bzw. Senderkomponenten. Nachrichten an einen Busteilnehmer werden im Fehlerfall durch den VARAN Manager sofort wiederholt. Es wird prinzipiell empfohlen die unten angeführten Schirmungsempfehlungen einzuhalten.

Bei Anwendungsfällen in welchen die Busleitung außerhalb des Schaltschranks verlegt werden muss, ist stets auf eine korrekte Schirmung zu achten. Insbesondere, wenn die Busleitung aus baulichen Gründen neben starken elektromagnetischen Störquellen verlegt werden muss. Es wird empfohlen, VARAN-Bus-Leitungen nach Möglichkeit nicht parallel mit leistungsführenden Kabeln zu verlegen.

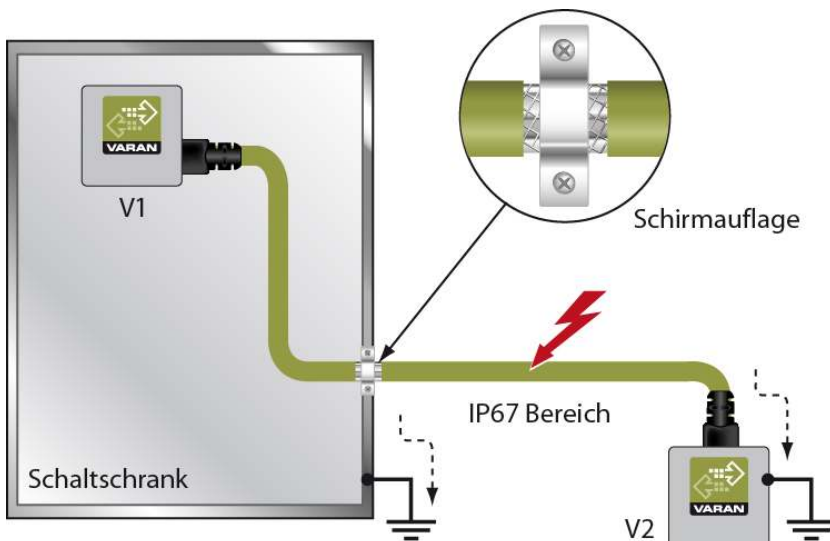
Die Firma SIGMATEK empfiehlt die Verwendung von Industrial Ethernet Busleitungen nach **CAT5e**.

Bei den Schirmungsvarianten wird empfohlen eine **S-FTP Busleitung** zu verwenden. Es handelt sich dabei um ein symmetrisches mehradriges Kabel mit ungeschirmten Paaren. Als Gesamtschirmung wird ein kombinierter Schirm aus Folie und Geflecht verwendet. Es wird empfohlen eine unlackierte Variante zu verwenden.

Das VARAN-Kabel ist im Abstand von 20 cm vom Stecker gegen Vibrationen zu sichern!
--

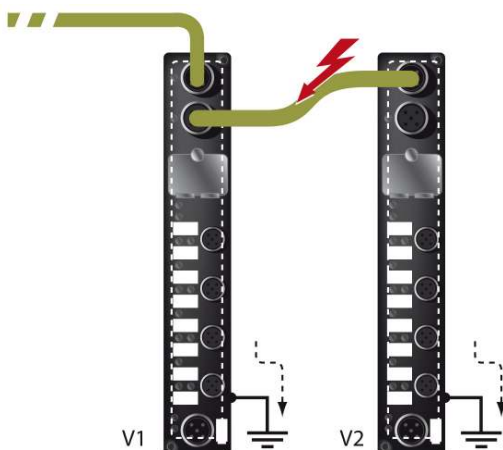
1. Leitungsführung vom Schaltschrank zu einer externen VARAN-Komponente

Wenn die Ethernet-Leitung von einer VARAN-Komponente zu einem VARAN-Knoten außerhalb des Schaltschranks erfolgt, so wird empfohlen die Schirmung am Eintrittspunkt des Schaltschrankgehäuses aufzulegen. Alle Störungen können dadurch vor den Elektronikkomponenten frühzeitig abgeleitet werden.



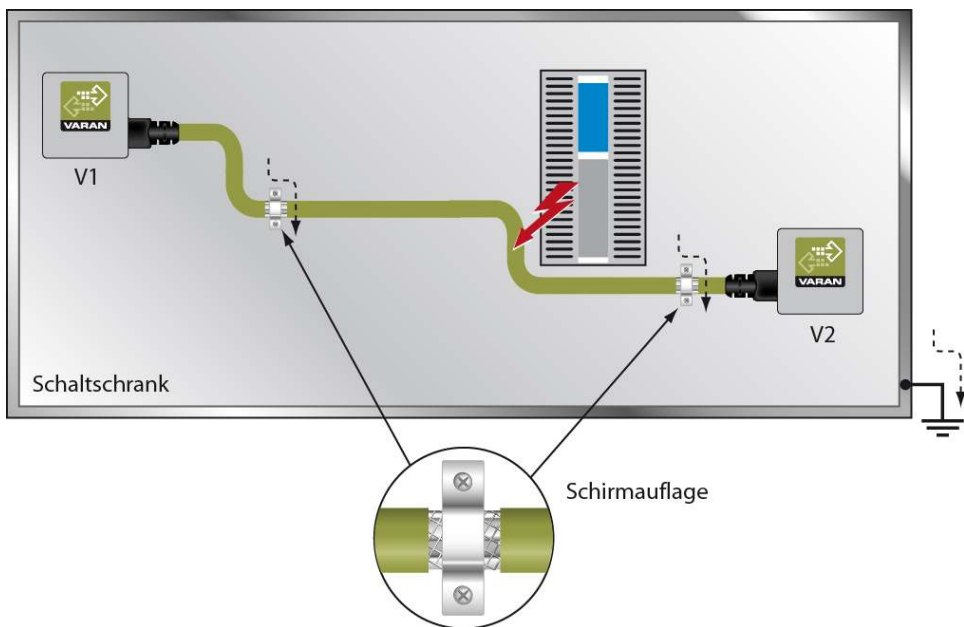
2. Leitungsführung außerhalb eines Schaltschranks

Wenn eine VARAN-Bus Leitung ausschließlich außerhalb des Schaltschranks verlegt wird, ist keine zusätzliche Schirmauflage erforderlich. Voraussetzung dafür ist, dass ausschließlich IP67-Module und Steckverbindungen verwendet werden. Diese Komponenten weisen eine sehr robuste und störteste Bauweise auf. Die Schirmung aller Buchsen von IP67-Modulen wird gemeinsam intern oder über das Gehäuse elektrisch verbunden, wobei die Ableitung von Spannungsspitzen dabei nicht durch die Elektronik erfolgt.



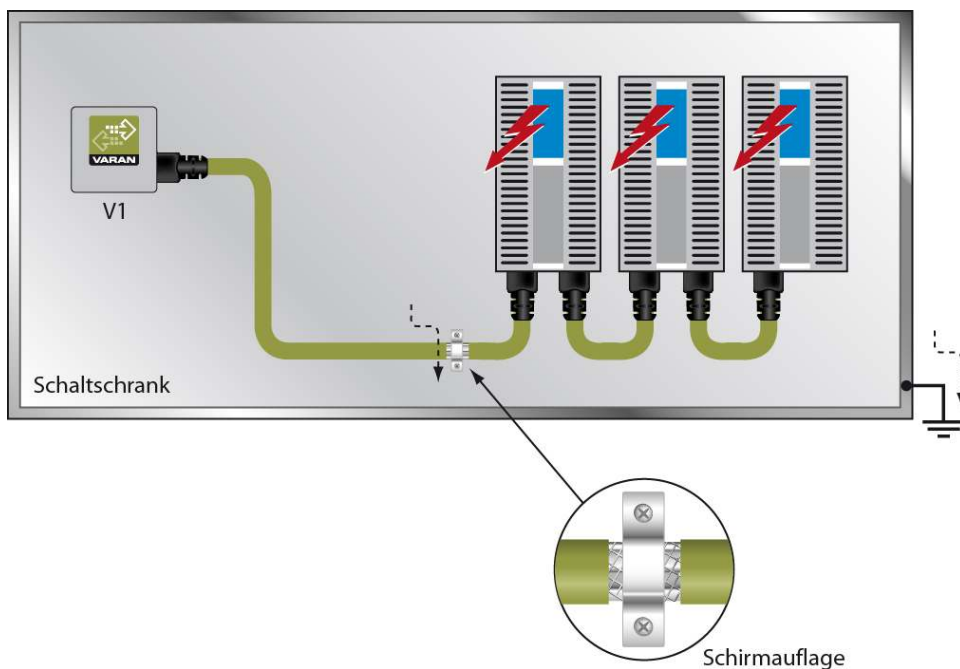
3. Schirmung bei einer Leitungsführung innerhalb des Schaltschranks

Bei starken elektromagnetischen Störquellen innerhalb des Schaltschranks (Drives, Transformatoren und dgl.) können Störungen auf eine VARAN-Bus Leitung induziert werden. Die Ableitung der Spannungsspitzen erfolgt über das metallische Gehäuse einer RJ45-Steckverbindung. Störungen werden auf das Schaltschrankgehäuse ohne weitere Maßnahmen über die Platine einer Elektronikkomponente geführt. Um Fehlerquellen bei der Datenübertragung auszuschließen, wird empfohlen die Schirmung vor jeder elektronischen Komponente im Schaltschrank aufzulegen.



4. Anschluss von störungsbehafteten Komponenten

Beim Busanschluss von Leistungsteilen, welche starke elektromagnetische Störquellen darstellen, ist ebenfalls auf die Schirmungsausführung zu achten. Vor einem einzelnen Leistungsteil (oder einer Gruppe aus Leistungsteilen) sollte die Schirmung aufgelegt werden.



5. Schirmung zwischen zwei Schaltschränken

Müssen zwei Schaltschränke mit einer VARAN-Bus Leitung verbunden werden, so wird empfohlen, den Schirm an den Eintrittspunkten der Schaltschränke aufzulegen. Störungen können dadurch nicht bis zu den Elektronikkomponenten im Schaltschrank vordringen.

