

VARAN Client Board

VEB 011-SPI

Versatile Automation Random Access Network

Dieses Client-Board dient dazu, alle möglichen Peripherie-Geräte auf einfache Weise mit dem VARAN-Bus auszustatten.

Der Datenaustausch kann über einen Alternating Buffer und DPRAM erfolgen.



1 Technische Daten

1.1 Leistungsdaten

Interner Speicher	Serielles 4-MBit-Flash
Schnittstellen	1 x VARAN (Client) 1 x Peripherie-Interface
Verbindung zum Peripherie-Gerät	Über 50-pol. Board-to-Board-Steckverbinder, Rastermaß 0,8 mm (Typ ERNI Microstac, Best.-Nr. 114713)

1.2 Elektrische Anforderungen

Interne Versorgungsspannung (VDD)	Typisch +3,3 V DC ($\pm 4\%$) (wird vom Peripherie-Gerät, über 50-pol. Steckverbinder, zur Verfügung gestellt)
Stromaufnahme Versorgungsspannung	Minimal 250 mA (abhängig von der externen Beschaltung)

1.3 Sonstiges

Artikelnummer	16-081-011-SPI
Hardwareversion	1.x

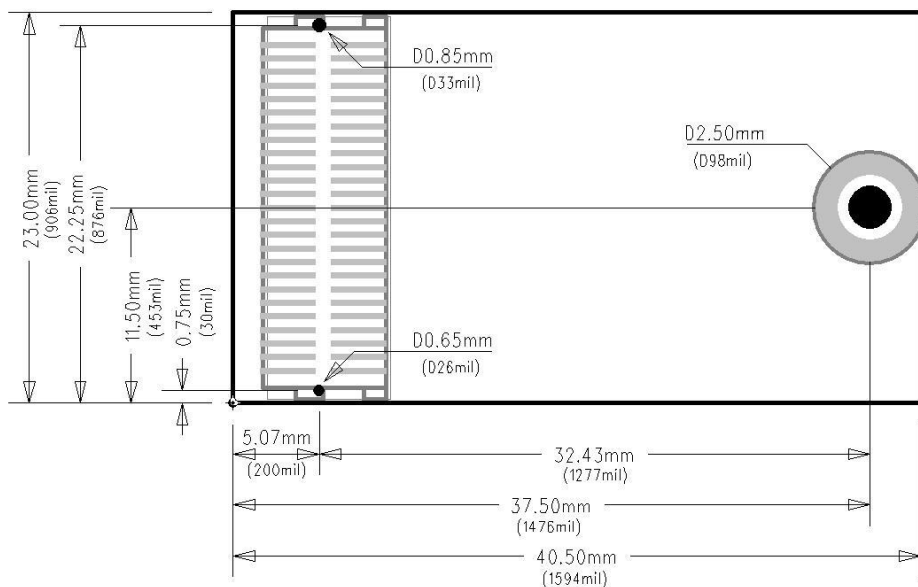
1.4 Umgebungsbedingungen

Lagertemperatur	-20 – +85 °C
Betriebstemperatur ¹⁾	0 – 70 °C
Luftfeuchtigkeit	0 – 95 %, nicht kondensierend
EMV-Festigkeit	²⁾
Schockfestigkeit	150 m/s ²

¹⁾ lt. Bauteilspezifikationen. Die Betriebstemperatur des Gesamtgerätes muss für jede Applikation eigens definiert werden, da die Betriebsbedingungen (Einbaulage, Gehäuse, Wärmequellen in der Nähe des VEBs) nicht bekannt sind.

²⁾ Die EMV-Festigkeit muss für jede Anwendung gesondert im Gesamtsystem getestet werden.

2 Mechanische Abmessungen



Die Bemaßung der Zentrierbohrungen des 50-poligen ERNI Board-to-Board-Steckverbinders gilt für die Stecker auf der Basisplatte (zeigt nicht die Position der Steckverbinder auf dem VEB).

Das VEB ist in dieser Zeichnung von der Stecker-Rückseite gesehen.

Die Bauteilhöhe auf der Basisplatte unter dem VEB darf nicht mehr als 3 mm betragen.

3 Basics

Das vorliegende Dokument ist als Unterstützung für den Programmierer gedacht. Alle benötigten Informationen um ein Programm bzw. einen Client zu erstellen sollten enthalten sein.

3.5 Verbindungsstecker

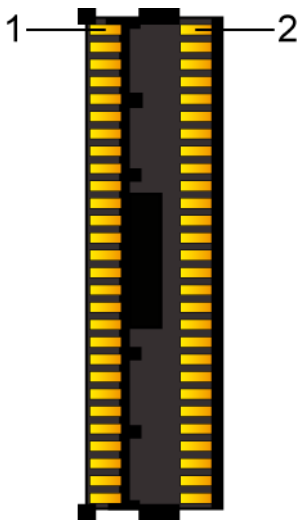


Abbildung 1: Verbindungsstecker

4 Programmierung

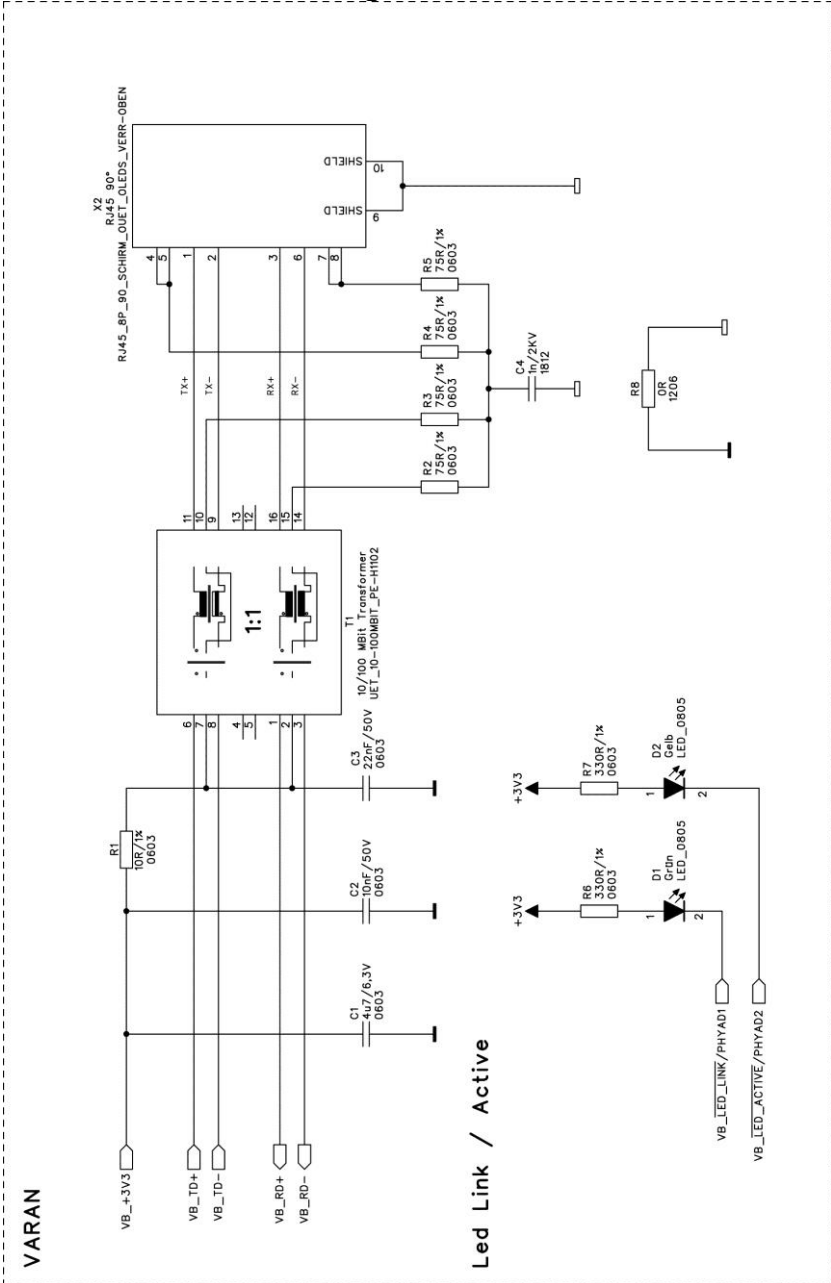
4.1 VEB 011-SPI Pinbelegung

Pin	Identifier	Funktion	
1	GND	Ground	-
2	GND	Ground	-
3	mosi	SPI Data In	In
4	miso	SPI Data Out	Out
5	sck	SPI Clock	In
6	-	-	-
7	$\overline{\text{ssel}}$	SPI Chip Select	In
8	-	-	-
9	-	-	-
10	-	-	-
11	-	-	-
12	veb_irq	IRQ	Out
13	-	-	-
14	-	-	-
15	-	-	-
16	-	-	-
17	-	-	-
18	-	-	-
19	VDD	+3V3 Versorgung	In
20	VDD	+3V3 Versorgung	In
21	GND	Ground	
22	-	-	-
23	VB_RD+	Übertrager RX+	-
24	veb_sync	Sync	Out
25	VB_RD-	Übertrager RX-	-
26	dig_in(0)	Digital Input	In1
27	VB_TD+	Übertrager TX+	-
28	dig_in(1)	Digital Input	In2
29	VB_TX-	Übertrager TX-	-

30	dig_in(2)	Digital Input	In3
31	-	VB +3V3	Out
32	dig_in(3)	Digital Input	In4
33	clk_25mhz_out	CLK 25 MHz	Out
34	dig_in(4)	Digital Input	In5
35	<u>periphery_reset</u>	Periphery Reset	Out
36	dig_in(5)	Digital Input	In6
37	-	-	-
38	dig_in(6)	Digital Input	In7
39	dig_out(7)	Digital Output	Out8
40	dig_in(7)	Digital Input	In8
41	dig_out(5)	Digital Output	Out6
42	dig_out(6)	Digital Output	Out7
43	-	LED	Out
44	dig_out(4)	Digital Output	Out5
45	-	LED	Out
46	dig_out(3)	Digital Output	Out4
47	dig_out(1)	Digital Output	Out2
48	dig_out(2)	Digital Output	Out3
49	GND	Ground	
50	dig_out(0)	Digital Output	Out1

Tabelle 1: Pinbelegung

4.2 Elektrische Einbindung



4.3 Layout-Richtlinien

- An die Versorgungs-Pins (+3V3) der Board-to-Board-Steckverbinder Blockkondensatoren mit 100 nF platzieren.
- Der Abstand zwischen Übertrager (Pulse H1102NLT) und RJ45-Steckverbinder ist minimal zu wählen (<25 mm).
- Der Abstand zwischen Übertrager und 50-poligem VEB-Stecker sollte nach Möglichkeit 50 mm nicht überschreiten.
- Die VARAN-Differenzleitungen TD+/TD- und RD+/RD- sind
 - so kurz wie möglich
 - parallel (minimaler Abstand der Leitungen zueinander)
 - gleich lang
 - ... zu routen
- Weiters sollten die Differenzleitungen folgende Eigenschaften aufweisen:
 - Abstand zwischen 2 Differenzleitungspaaren >0,38 mm
 - Abstand der Differenzleitungen zu Leiterplattenkanten >25 mm
 - Abstand der Differenzleitungen zu anderen Signalen >0,76 mm
 - Durchgehende GND-Fläche unter den Differenzleitungen
 - Differenzleitungen nicht mit anderen Signalen kreuzen
 - Differenzleitungen nicht unter Bauteilen routen

Wenn das VEB 011-SPI auf einem VEB 021-Board betrieben wird, dann können folgende Signale auf der Stiftleiste des VEB 021-Boards abgegriffen werden:

VEB 021		VEB 011	
Pin	Bezeichnung	Pin	Funktion
1	V1	4	MISO
2	V2	3	MOSI
3	V3	6	-
4	V4	5	SCK
5	V5	8	-
6	V6	7	SSEL
7	V7	10	-
8	GND	1, 2, 21, 49	GND
9	V8	9	-
10	V9	12	IRQ
11	V10	11	-
12	V11	14	-
13	V12	13	-
14	V13	16	-
15	GND	1, 2, 21, 49	GND
16	V14	15	-
17	V15	18	-
18	V16	17	-
19	V17	22	-
20	V18	24	Sync
21	V19	26	In1
22	GND	1, 2, 21, 49	GND
23	V20	28	In2
24	V21	30	In3
25	V22	32	In4
26	V23	34	In5
27	V24	33	CLK 25 MHz
28	V25	36	In6

29	GND	1, 2, 21, 49	GND
30	V26	35	Periphery RESET
31	V27	38	In7
32	V28	37	-
33	V29	40	In8
34	V30	39	Out8
35	V31	42	Out7
36	GND	1, 2, 21, 49	GND
37	V32	41	Out6
38	V33	44	Out5
39	V34	46	Out4
40	V35	48	Out3
41	V36	47	Out2
42	V37	50	Out1
43	GND	1, 2, 21, 49	GND
44	GND	1, 2, 21, 49	GND
45	+3V3	19, 20	+3V3
46	+3V3	19, 20	+3V3

Tabelle 2: Pinbelegung VEB 021_011

4.3.1 Timing synchron Manager zu Client (Alternating Buffer)

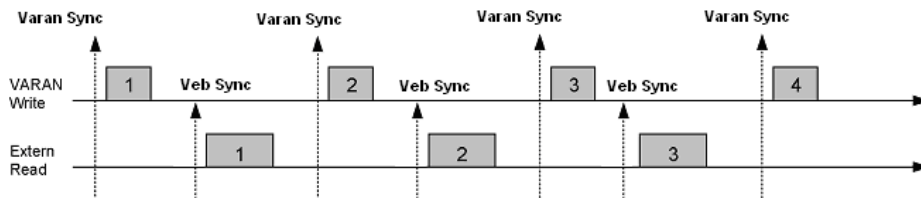


Abbildung 2: Client liest Daten vom Manager, synchroner Fall

Der μC (SPI Master) muss synchron zum VARAN-System sein.

4.4 Address Mapping

4.4.1 VARAN Seite

Adresse (hex)	Größe (Byte)	Zugriffs-Typ	Beschreibung	Reset-Wert
Memory				
0000	2048	w	Alternating Buffer(Write Space) Default = switch by sync, switch mode can be changed in the register	00
0800	2048	r	Alternating Buffer (Read Space) Default = switch by sync, switch mode can be changed in the register	00
1000	512	r/w	reserved	00
1200	1	r	VEB Sync Mode Register Bit 0: 1 = Enable Sync Quitting Mode 0 = Enable Pulse width Register Bit 1: 1 = Sync / veb_irq output is active low, 0 = active high Bit 2: 1 = Enable tristate buffer for sync / veb_irq output Bit 3: Sync Output Register (read) Bit 7..4 : Reserved	00
1201	3	r/w	Reserved	00
1204	4	r/w	VARAN Bus Cycle Time [10 ns]	00000000
1800	2048	r/w	DPRAM	

Tabelle 3: Address Mapping VARAN Manager

4.4.2 μ C Seite

Adresse (hex)	Größe (Byte)	Zugriffs-Typ	Beschreibung	Reset-Wert
0000	2048	r	Alternating Buffer (Read Space) Default = switch by sync, switch mode can be changed in the register	00
0800	2048	w	Alternating Buffer (Write Space) Default = switch by sync, switch mode can be changed in the register	00
1000	256	r/w	Transmit/Receive Buffer	-
1100	2	r/w	Page Address Two higher bytes of SPI address (A23... A8)	0000
1102	1	r/w	Predefined Command Register 16#01: Page Read 16#02: Page program 16#03: Sector Erase 16#F0: Reboot FPGA	00
1103	1	r/w	Single Command Register	00
1104	1	r	Status Register Bit 0: 1=Ready, 0=Busy	01
1105	1	w	Request Register Bit 0..3: Software Request (highest priority) Bit 4..7: Hardware Requests (Bit 7 lowest priority)	-
1106	1	r	Grant Register Bit 0..3: Software Grant Bit 4..7: Hardware Grants	00
1107	1	w	Clear Request Register Bit 0..3: Software Request Bit 4..7: Hardware Requests	-
1108	248	r/w	reserved	
1200	1	r/w	VEB Sync Mode Register Bit 0: 1 = Enable Sync Quitting Mode 0 = Enable Pulse width Register Bit 1: 1 = Sync / veb_irq output is active low, 0 = active high Bit 2: 1 = Enable tristate buffer for sync / veb_irq output Bit 3: Sync Output Register (read) Bit 6..4: Reserved Bit 7: 1 = Enable Sync clear 1 clock cycle (write) 0 = Disable Sync clear (write)	00
1201	1	r	PLL Frame Counter	00

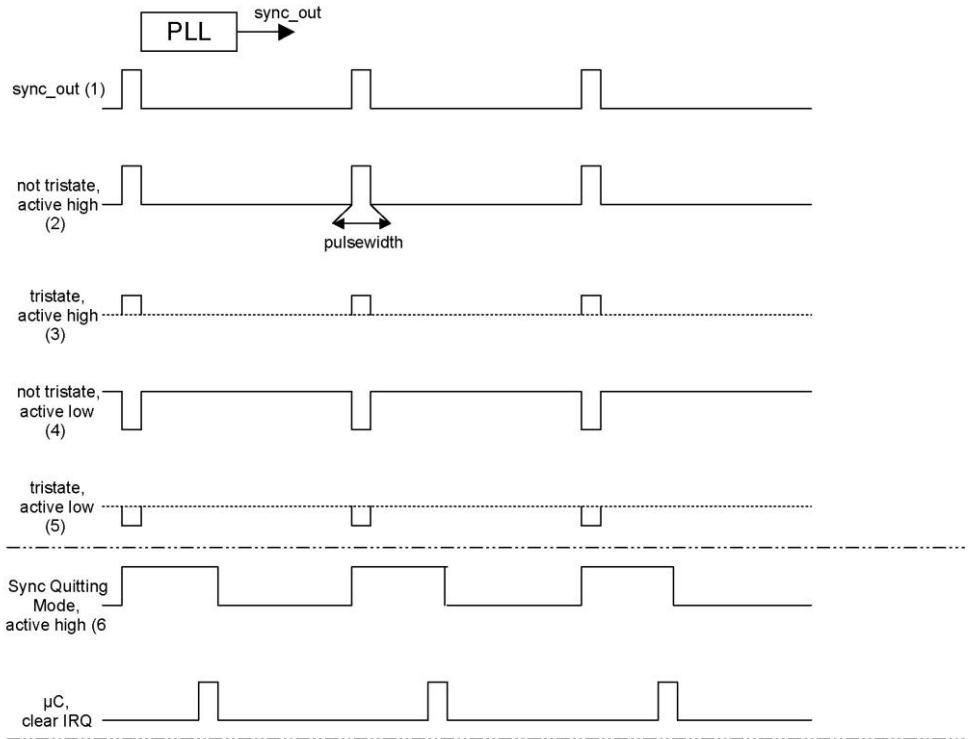
1202	2	r/w16	Sync Pulse width Register Bit 15..0: Value in steps of 20 ns (e.g. 5 = 100ns and 0 = disabled)	0000
1204	4	r	VARAN Bus Cycle Time [10 ns]	00000000
1208	8	r/w	Reserved	00
1210	1	r/w	Digital In/Output Register	00
1211	239	-	Reserved	-
1300	4	w32	Transmit FIFO Data Input	-
1304	4	w32	Transmit FIFO Frame Length Write frame length before filling the FIFO Bit 10..0: Frame Length (in Bytes max. 1518)	-
1308	4	r32	Receive FIFO Data Output	-
130C	4	r32	Receive FIFO Frame Length (in Bytes) 0 = no valid frame in FIFO	00000000
1310	4	r	Available Registers in Transmit FIFO (in Bytes)	00000000
1314	4	w	FIFO Control register Bit 0: 1 = Reset Transmit FIFO Bit 1: 1 = Reset Receive FIFO	-
1314	4	r	FIFO Status register (IRQ Quit register) Bit 0: 1 = frame transmitted Bit 1: 1 = frame received (valid frame is in FIFO) Bit 2: 1 = transmit FIFO error (Transmit FIFO Frame Length > 1518, or writing false values of bytes in FIFO) Bit 3: 1 = receive FIFO error (Read Receive FIFO when no valid frame)	00000000
1318	4	r/w	Interrupt enable register Bit 0: 1 = frame transmitted Bit 1: 1 = frame received Bit 2: 1 = transmit FIFO error Bit 3: 1 = receive FIFO error	00000000
131C	4	r/w	Receive MAC Filter register Bit 0: 1 = Unicast enable (Destination address = MAC address) Bit 1: 1 = Broadcast enable (Destination address = 16#FFFFFFFFFFFF) Bit 2: 1 = Promiscuous enable (all destination address are received)	00000000
1320	6	r/w	MAC Address	00000000 0000

1326	1	r/w	Port Control / Link Status register Bit 0: 1 = Link established (read only) Transmitting is only allowed, when Link is established Bit 1: 1 = Port enable (Port must be enabled before transmitting)	00
1327	1241	r/w	reserved	
1800	2048	r/w	DPRAM	00

Tabelle 4: Address Mapping µC Client

4.5 Sync Modes

Das Sync Mode Register bietet die Möglichkeit das Synchronisationsverhalten zu beeinflussen.



Wie man in den Zeilen 2 und 4 beobachten kann, wird zwischen active high und active low unterschieden (Bit 1). Weiters kann der Sync Quitting Mode aktiviert werden (Bit 0). In diesem Fall gibt der µC eine Rückmeldung wie man in 6 feststellt.

Um Beschädigungen am Ausgangstreiber vorzubeugen kann die Option tristate buffer (Bit 2) aktiviert werden (3 und 5).

Bit 0 des Sync Mode Registers kann auch das Pulsweitenregister aktivieren. Werte können in 20 ns Schritten eingestellt werden.

Um den Sync-Interrupt und den Alternating Buffer verwenden zu können, muss die interne PLL zuerst aktiviert werden. Diese befindet sich im Control-Bereich auf der Adresse 0x0140. Um die PLL zu aktivieren muss 0x01 auf die Adresse 0x17 der PLL geschrieben werden.

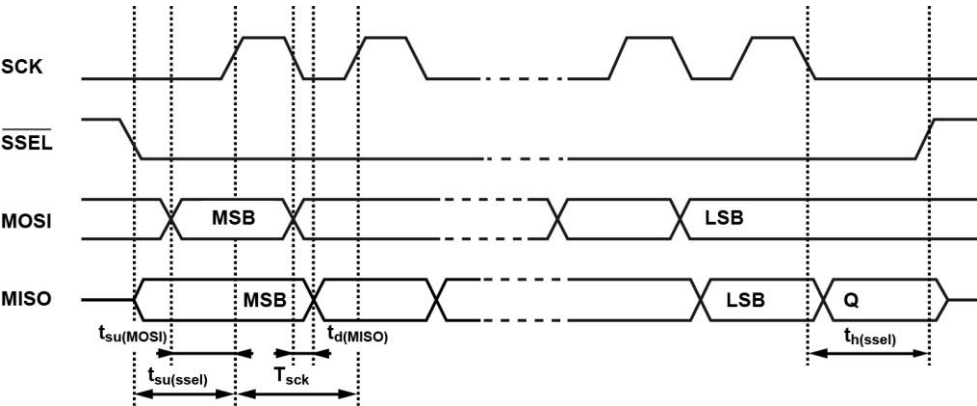
4.6 Interruptausgang

Der Interruptausgang des VEB 011-SPI kann über die gleichen Register wie der Sync auf low-active, high-active bzw. tristate konfiguriert werden.

Tritt ein Interrupt auf, so wird der Ausgang aktiv. Der VEB-IRQ wird über den EMAC angesteuert. Der Interrupt muss im jeweiligen Register quittiert werden, damit der Interruptausgang inaktiv wird (z.B. EMAC FIFO Status register – IRQ Quit register)

5 Externes Timing

5.1 SPI-Zugriff



MSB ... Most significant Bit
LSB ... Least significant Bit
Q ... Undefined

Zeitvorgabe	Zeit (ns)		Beschreibung
	min.	max.	
$t_{su}(sSEL)$	20	-	SSEL low to SCK high
$t_{su}(MOSI)$	0	-	SCK high to read
$t_d(MISO)$	-	80	SCK low to write
T_{sck}	200	-	SPI clock period
$T_h(sSEL)$	20		SSEL Hold time to SCK low

Tabelle 5: Zeitcharakteristik

Die Daten werden mit der ersten steigenden SCK-Flanke erfasst und mit der fallenden Flanke von SCK weitergegeben.

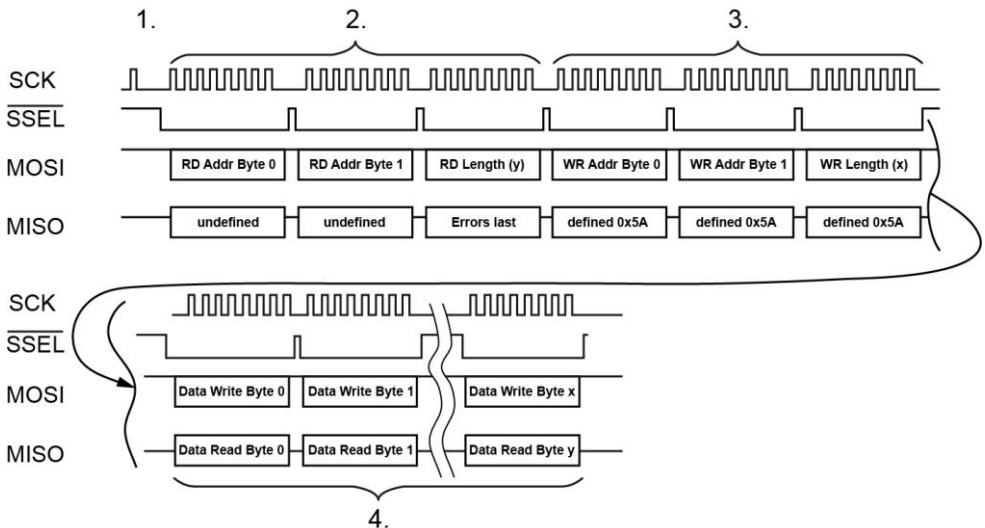
Im IDLE-Zustand wird SSEL auf HIGH gesetzt.

SPI-Frames besitzen immer 8 Bit. Die Maximale SPI-Taktfrequenz betragt 5 MHz.

5.2 SPI-Protokoll

Das SPI-Protokoll besteht aus 4 Teilen:

1. Synchronisation (optional)
2. Header: Definition der Daten, die aus dem FPGA ausgelesen werden
3. Header: Definition der Daten, die in das FPGA geschrieben werden
4. Datenübertragung



5.2.1 Allgemeine Beschreibung der VEB 011-SPI Schnittstelle

MOSI (VEB011-SPI Input): SPI Dateneingangssignal

MISO (VEB011-SPI Output): SPI Datenausgangssignal

SCK (VEB011-SPI Input): SPI Takteingangssignal

/SSEL(VEB011-SPI Input): SPI Chip-Auswahl (Low-aktives Signal)

=> Bei der Datenkommunikation zwischen dem HOST und dem VEB011-SPI werden Bytes verwendet (1 Byte = 8 Bits)

=> Bit-Synchronisation erfolgt mit /SSEL

=> Das höchstwertige Bit (MSB) wird zuerst übertragen

=> MOSI (VEB011-SPI Input) wird bei steigender Flanke des SCK-Signals abgefragt.

=> MISO (VEB011-SPI Output) wird bei fallender Flanke des SCK-Signals geändert.

=> SCK (VEB011-SPI Input) ist ein High-aktives Signal.

Das bei der Kommunikation zwischen dem HOST und dem VEB011-SPI verwendete Protokoll besteht aus einem 6-Byte Header, gefolgt von der im Header definierten Anzahl Daten-Bytes.

Master Out Slave In Signal (MOSI)

HDR Byte 1: RD Adress-Byte 0 (LSB)
 HDR Byte 2: RD Adress-Byte 1 (MSB)
 HDR Byte 3: RD Anzahl-Byte (0-255)
 HDR Byte 4: WR Adress-Byte 0 (LSB)
 HDR Byte 5: WR Adress-Byte 1 (MSB)
 HDR Byte 6: WR Anzahl-Byte (0-255)
 WR Daten-Byte 0
 WR Daten-Byte 1
 WR Daten-Byte 2
 WR Daten-Byte 3
 WR Daten-Byte 4
 WR Daten-Byte 5
 WR Daten-Byte 6
 ...

Master In Slave Out Signal (MISO)

HDR Byte 1: undefinierter Wert
 HDR Byte 2: undefinierter Wert
 HDR Byte 3: Fehler (im vorherigen Datentransfer)
 HDR Byte 4: definiert 0x5A
 HDR Byte 5: definiert 0x5A
 HDR Byte 6: definiert 0x5A
 RD Daten-Byte 0
 RD Daten-Byte 1
 RD Daten-Byte 2
 RD Daten-Byte 3
 RD Daten-Byte 4
 RD Daten-Byte 5
 RD Daten-Byte 6
 ...

Die korrekte Anzahl an Daten-Bytes, wie im HDR-Byte 3 und HDR-Byte 6 definiert, müssen den Header-Bytes folgen. Die korrekte Anzahl an Daten-Bytes kann als Maximalwert von "RD Anzahl-Byte" und "WR Anzahl-Byte" errechnet werden.

Hinweis: Wenn "RD Anzahl-Byte" kleiner ist als "WR Anzahl-Byte", dann sind alle RD Daten-Bytes, die nach "RD Anzahl-Byte" Daten-Bytes übertragen werden, undefinierte Werte. Wenn "RD Anzahl-Byte" größer ist als "WR Anzahl-Byte", dann werden alle WR Daten-Bytes, die nach "WR Anzahl-Byte" Daten-Bytes übertragen werden, ignoriert.

Die Protokoll-Synchronisation erfolgt unter Verwendung von /SSEL und SCK. Wenn SCK high (log. '1') ist während /SSEL high (log. '1') ist, dann wird das Protokoll auf den Leerlauf-Zustand gesetzt.

Hinweis: Die Protokoll-Synchronisation ist optional und kann weggelassen werden, so lange keine Fehler auftreten.

HDR Byte 3: Fehler (im vorherigen Datentransfer)

Bit 0 wird gesetzt, wenn die SPI-Protokoll-Synchronisation den vorherigen Datentransfer unterbrochen hat.

Bit 1 wird gesetzt, wenn ein Schreibbuffer Overflow im vorherigen Datentransfer aufgetreten ist.

Bit 2 wird gesetzt, wenn ein Lesebuffer Underrun im vorherigen Datentransfer aufgetreten ist.

Bit 3 wird beim Zugriff auf eine ungültige Adresse im vorherigen Datentransfer gesetzt.

Da das FPGA eine gewisse Zeit zum booten benötigt, sollte der μ C entweder warten, oder solange anfragen, bis die Antwort des FPGAs keine Fehler mehr aufweist.

Auch nach erfolgter Initialisierung braucht das FPGA eine bestimmte Zeit um sich mit dem VARAN-Bus zu verbinden.

6 Schirmungsempfehlung VARAN

Das Echtzeit Ethernet Bussystem VARAN weist ein sehr robustes Verhalten im industriellen Umfeld auf. Durch die Verwendung der Standard Ethernetphysik nach IEEE 802.3 erfolgt eine Potentialtrennung zwischen einer Ethernetleitung und den Empfänger- bzw. Senderkomponenten. Nachrichten an einen Busteilnehmer werden im Fehlerfall durch den VARAN Manager sofort wiederholt. Es wird prinzipiell empfohlen die unten angeführten Schirmungsempfehlungen einzuhalten.

Bei Anwendungsfällen in welchen die Busleitung außerhalb des Schaltschranks verlegt werden muss, ist stets auf eine korrekte Schirmung zu achten. Insbesondere, wenn die Busleitung aus baulichen Gründen neben starken elektromagnetischen Störquellen verlegt werden muss. Es wird empfohlen, VARAN-Bus-Leitungen nach Möglichkeit nicht parallel mit leistungsführenden Kabeln zu verlegen.

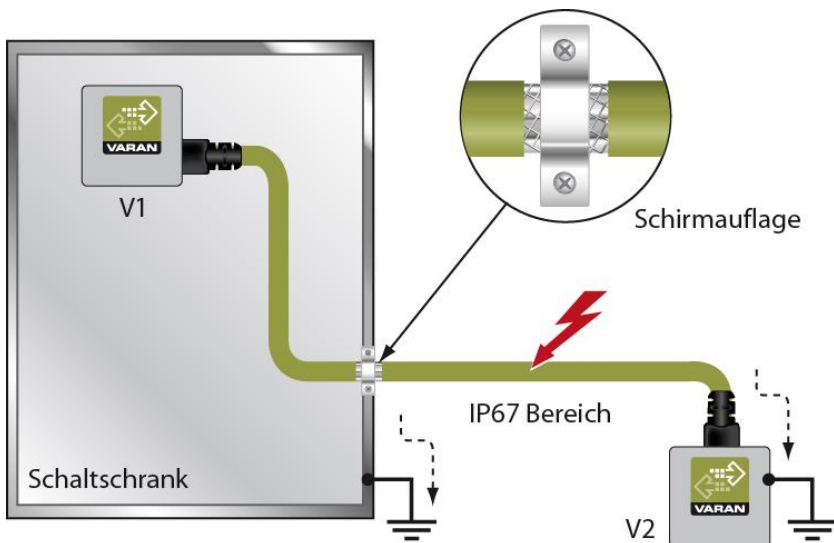
Die Firma SIGMATEK empfiehlt die Verwendung von Industrial Ethernet Busleitungen nach **CAT5e**.

Bei den Schirmungsvarianten wird empfohlen eine **S-FTP Busleitung** zu verwenden. Es handelt sich dabei um ein symmetrisches mehradriges Kabel mit ungeschirmten Paaren. Als Gesamtschirmung wird ein kombinierter Schirm aus Folie und Geflecht verwendet. Es wird empfohlen eine unlackierte Variante zu verwenden.

Das VARAN-Kabel ist im Abstand von 20 cm vom Stecker gegen Vibrationen zu sichern!

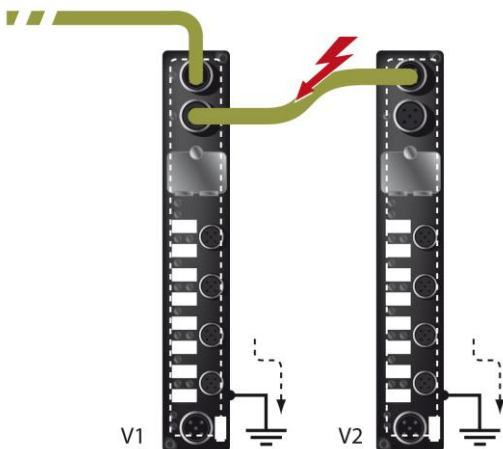
1. Leitungsführung vom Schaltschrank zu einer externen VARAN-Komponente

Wenn die Ethernet-Leitung von einer VARAN-Komponente zu einem VARAN-Knoten außerhalb des Schaltschranks erfolgt, so wird empfohlen die Schirmung am Eintrittspunkt des Schaltschrankgehäuses aufzulegen. Alle Störungen können dadurch vor den Elektronikkomponenten frühzeitig abgeleitet werden.



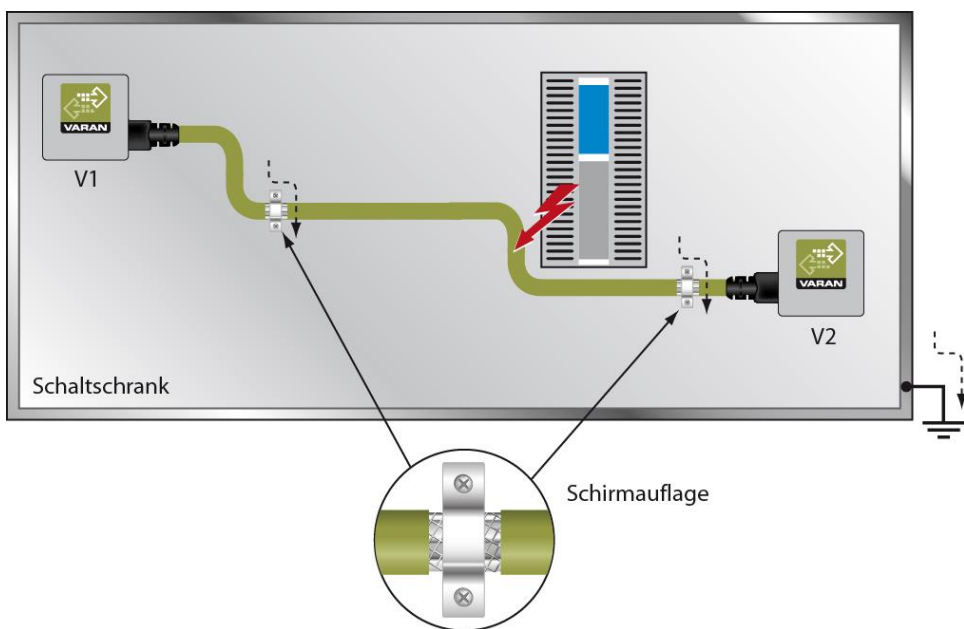
2. Leitungsführung außerhalb eines Schaltschranks

Wenn eine VARAN-Bus Leitung ausschließlich außerhalb des Schaltschranks verlegt wird, ist keine zusätzliche Schirmauflage erforderlich. Voraussetzung dafür ist, dass ausschließlich IP67-Module und Steckverbindungen verwendet werden. Diese Komponenten weisen eine sehr robuste und störteste Bauweise auf. Die Schirmung aller Buchsen von IP67-Modulen wird gemeinsam intern oder über das Gehäuse elektrisch verbunden, wobei die Ableitung von Spannungsspitzen dabei nicht durch die Elektronik erfolgt.



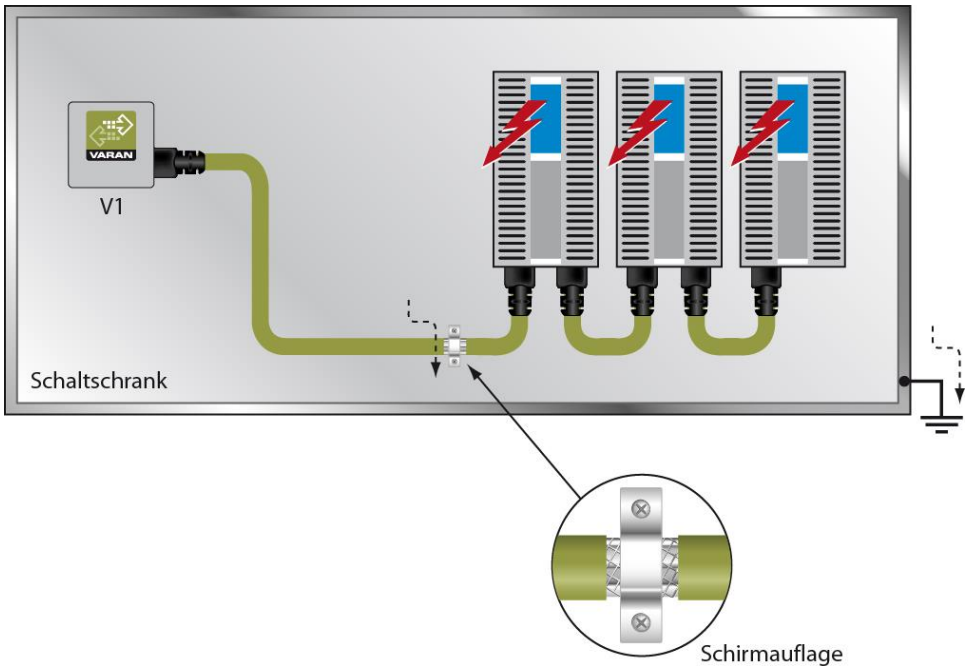
3. Schirmung bei einer Leitungsführung innerhalb des Schaltschranks

Bei starken elektromagnetischen Störquellen innerhalb des Schaltschranks (Drives, Transformatoren und dgl.) können Störungen auf eine VARAN-Bus Leitung induziert werden. Die Ableitung der Spannungsspitzen erfolgt über das metallische Gehäuse einer RJ45-Steckverbindung. Störungen werden auf das Schaltschrankgehäuse ohne weitere Maßnahmen über die Platine einer Elektronikkomponente geführt. Um Fehlerquellen bei der Datenübertragung auszuschließen, wird empfohlen die Schirmung vor jeder elektronischen Komponente im Schaltschrank aufzulegen.



4. Anschluss von störungsbehafteten Komponenten

Beim Busanschluss von Leistungsteilen, welche starke elektromagnetische Störquellen darstellen, ist ebenfalls auf die Schirmungsausführung zu achten. Vor einem einzelnen Leistungsteil (oder einer Gruppe aus Leistungsteilen) sollte die Schirmung aufgelegt werden.



5. Schirmung zwischen zwei Schaltschränken

Müssen zwei Schaltschränke mit einer VARAN-Bus Leitung verbunden werden, so wird empfohlen, den Schirm an den Eintrittspunkten der Schaltschränke aufzulegen. Störungen können dadurch nicht bis zu den Elektronikkomponenten im Schaltschrank vordringen.

